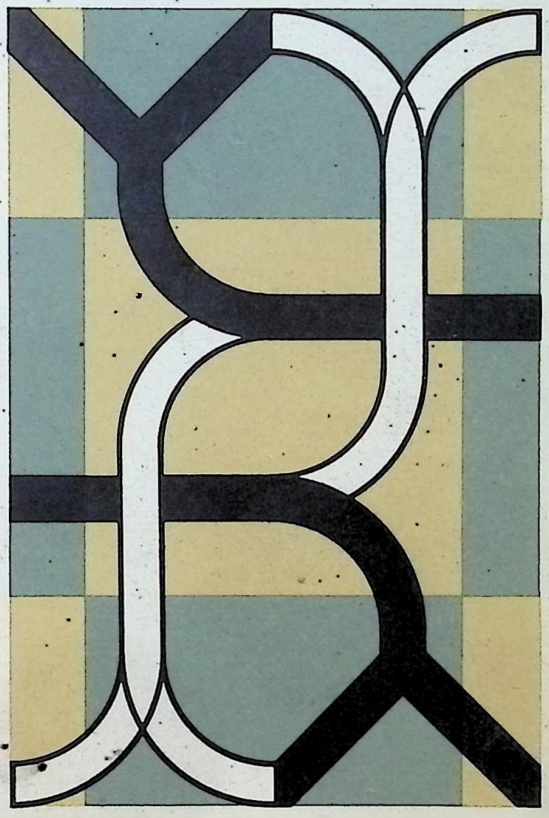
OLIVETTI

GENERAL ELECTRIC

Servizio Tecnico



CORSI DI ISTRUZIONE PROGRAMMATA

SISTEMA GE-115

4

UNITA' CENTRALE Vol. 2

4.610.0.450.1

CORSI DI ISTRUZIONE PROGRAMMATA

SISTEMA GE-115

UNITA' CENTRALE

VOL. 2°

4

OLIVETTI
GENERAL ELECTRIC
Servizio Tecnico

Questo volume é stato realizzato dal
GRUPPO ISTRUZIONE PROGRAMMATA
della Scuola del Servizio Tecnico

PREFAZIONE

La presente pubblicazione é rivolta a coloro che si accingono allo studio dell'elaboratore GE - 115. Essa fa parte di una serie di volumi preparati con il Metodo della Istruzione Programmata.

Lo scopo di questo metodo é di fornire a chi studia gli elementi essenziali per l'autoapprendimento della materia esposta.
I volumi sono organizzati in lezioni sufficientemente brevi in relazione agli argomenti trattati. Ciò consente di fare acquisire pochi concetti elementari alla volta, ma tuttavia concatenati fra loro.

In ogni lezione, una opiù volte, si cerca di focalizzare l'argomento o gli argomenti di maggiore interesse, proponendo all'interessato delle domande le cui risposte, a titolo di verifica, possono essere confrontate con quelle riportate nelle pagine seguenti.

Talvolta, se la complessità della materia lo richiede, l'interessato deve eseguire, o completare, degli esercizi in modo da poter integrare, con gli stessi, le nozioni acquisite.

Per evitare la possibilità di un apprendimento frammentario, che porterebbe alla perdita della visione di insieme, sono stati predisposti dei riepiloghi di carattere generale. Ciascun riepilogo riguarda la materia esposta nelle lezioni ad esso precedenti.
Tali riepiloghi sono stati preparati in modo da consentire all'interessato di verificare il proprio grado di preparazione.

Milano, luglio 1967

METODO DI STUDIO

Il metodo che si consiglia di seguire durante lo studio si articola in più punti.

E' necessario che l'interessato non prosegua ininterrottamente lo studio per tutto il tempo che ha a disposizione, anzi é utile che stabilisca alcuni intervalli; atti a ponderare quanto studiato, con una frequenza adeguata alle proprie capacità di assimilazione.

Ogni singola lezione va studiata integralmente ed in maniera non superficiale anche se qualche volta può sembrare di facile comprensione.

L'interessato deve cercare di dare sempre le risposte alle domande che gli sono proposte, prima di controllare le stesse con le risposte riportate.

Gli esercizi vanno svolti integralmente e possibilmente discussi con eventuali colleghi di studio.

Nel "Piano di studio", e all'inizio di ogni lezione è indicato il tempo necessario a svolgerla. Detto tempo ha solo uno scopo indicativo e generalmente é da ritenersi un tempo massimo.

Onde evitare la possibilità di un apprendimento frammentario, che porterebbe alla perdita della visione di insieme, sono stati predisposti dei riepiloghi di carattere generale. Essi consistono in una serie di domande alle quali é necessario rispondere scegliendo una delle risposte riportate sotto ciascuna domanda. Ogni risposta indica il numero della domanda successiva alla quale si deve rispondere e così via.

Se l'interessato risponde in maniera errata a qualche domanda viene inviato ad una successiva, tendente a chiarire il concetto non bene interpretato. Nel caso in cui, dopo uno o più tentativi, il lettore non riesca a trovare la via esatta viene rimandato a rivedere la lezione riguardante i concetti non bene appresi.

Durante lo svolgimento del riepilogo generale si consiglia di annotare il numero delle domande che vengono esaminate; ciò per facilitare il ritorno alla domanda dopo avere visto la lezione alla quale si era stati inviati.

Evidentemente, se durante lo svolgimento del riepilogo si risponde sempre in modo esatto a tutte le domande, al termine ne saranno state interessate solo un numero minimo. Tale numero minimo non é volutamente riportato nel testo.

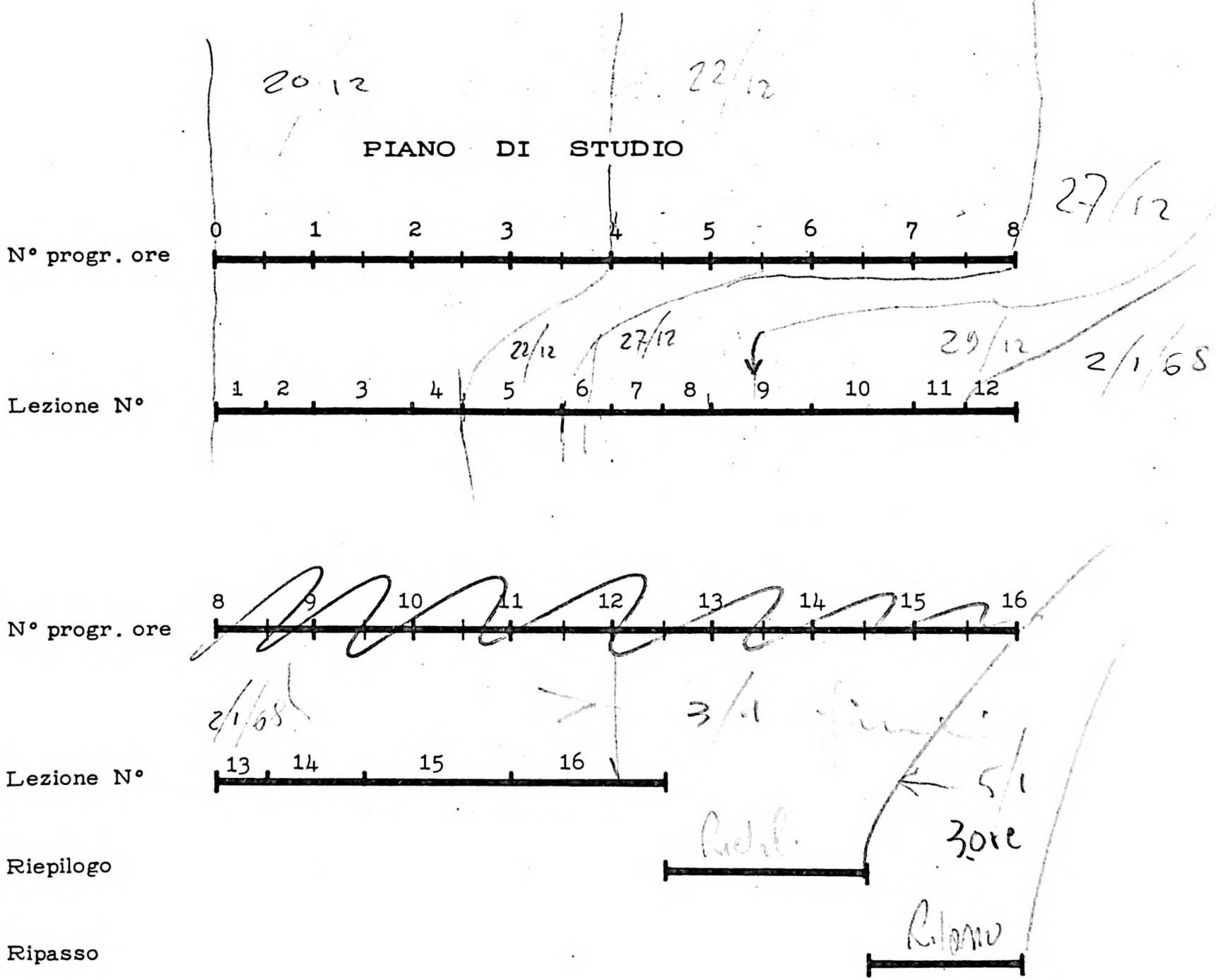
Per poter abbandonare il questionario é necessario incontrare l'apposita indicazione.

Al termine di ogni volume, il responsabile dello "Avanzamento Studio", proporrà all'interessato un questionario riguardante la materia trattata nel volume.

Al termine del corso teorico é previsto un corso pratico da effettuarsi alla Scuola Tecnici.

Per essere ammessi al corso pratico é necessario superare una prova teorica di carattere generale (tenuta alla Scuola) su tutto il programma svolto individualmente.

PIANO DI STUDIO



I N D I C E

		pagine
Prefazione		V
Metodo di studio		VII + VIII
Piano di studio		IX
Indice		XI + XII
Lezione 1	: Generalità	1 -3 + 1 - 14
Lezione 2	: Stati della fase alfa	2 -3 + 2 - 18
Lezione 3	: Analisi degli stati della fase alfa	3 -3 + 3 - 29
Lezione 4	: Stati della fase beta	4 -3 + 4 - 16
Lezione 5	: Istruzioni del gruppo A1	5 -3 + 5 - 26
Lezione 6	: Fase beta delle istruzioni MVQ e CMQ	6 -3 + 6 - 16
Lezione 7	: Fase beta delle istruzioni AD e AB	7 -3 + 7 - 17
Lezione 8	: Fase beta delle istruzioni SD e SB	8 -3 + 8 - 16

Lezione 9 :	Istruzioni del gruppo A2 - Fase beta delle istruzioni OC e NC	9 - 3 + 9 - 28
Lezione 10 :	Fase beta delle istruzioni XC - - MVC - CMC	10 - 3 + 10 - 23
Lezione 11 :	Fase beta delle istruzioni PK e UPK	11 - 3 + 11 - 18
Lezione 12 :	Fase beta delle istruzioni SR e SL	12 - 3 + 12 - 11
Lezione 13 :	Fase beta della istruzione TR	13 - 3 + 13 - 10
Lezione 14 :	Istruzioni del gruppo B3 - Fase beta delle istruzioni MVI e CMI	14 - 3 + 14 - 21
Lezione 15 :	Istruzioni del gruppo D4 - HLT - NOP2 - INS, ENS - LON, LOFF	15 - 3 + 15 - 29
Lezione 16 :	Istruzioni del gruppo C4 - JRT - JC - JS	16 - 3 + 16 - 36
Riepilogo		R - 3 + R - 28
Appendice		A - 3

Tutti gli schemi ed i riferimenti di questo volume sono aggiornati al 1° luglio 1967.

LEZIONE 1

Tempo di studio
30 minuti

1. GENERALITA'

1.1. STATO

Gli argomenti svolti nel volume "U.C. - vol. 1°" conducono ad una visione statica dell' U.C. dell' Elaboratore GE - 115.

E' indispensabile, ora, analizzare accuratamente l'insieme degli organi nella loro utilizzazione dinamica, riferendoci sia ad operazioni complesse (istruzioni), sia ad . operazioni elementari (STATI).

Si può constatare che l'insieme degli organi che compongono l'U.C. é relativamente ridotto. Ciò significa che nello svolgimento di una istruzione gli stessi organi, per quanto possibile, vengono interessati un numero variabile di volte.

Tale modo di utilizzare alcuni organi consente di ridurre notevolmente le dimensioni dell'elaboratore in quanto vengono diminuiti gli organi SPECIALIZZATI cioé quelli che possono svolgere solo dei compiti particolari.

L'utilizzazione degli organi é scandita nel tempo da impulsi (mastri) uscenti dalla L.d.R. la quale costituisce l'organo temporizzatore del sistema.

Essa é l'elemento base di temporizzazione e, durante il suo tempo di ciclata (6,1 o 7,5 usec), si genera sempre un insieme di eventi.

Ogni evento corrisponde, generalmente, all'utilizzazione di un mastro che si presenta in un tempo ben definito.

L'insieme degli eventi generati in una ciclata si definisce STATO.

LO STATO E' UN INSIEME DI EVENTI, GENERATI IN RELAZIONE A PARTICOLARI CONDIZIONI INTERNE DELL'ELABORATORE, CHE VENGONO TEMPORIZZATI DA MASTRI DELLA L:d.R.

1.2. ANALISI DINAMICA DELLE ISTRUZIONI

Si supponga di aver introdotto un programma in memoria a partire dalla posizione 0000 (0/0 0/0).

Premendo il pulsante CLEAR e successivamente lo START l'elaboratore inizia il programma partendo dalla prima istruzione dello stesso.

GENERALMENTE OGNI ISTRUZIONE SI SVILUPPA IN DUE FASI SUCCESSIVE :

- LA PRIMA, DI PREDISPOSIZIONE DEGLI ORGANI, DENOMINATA FASE ALFA.
- LA SECONDA, DI ELABORAZIONE DEI DATI, DENOMINATA FASE BETA.

Le fasi alfa e beta si susseguono finché al calcolatore non perviene un comando di arresto. Quest'ultimo può essere un comando manuale o di programma.

Ogni fase esegue un lavoro prestabilito.

Cioé per ogni istruzione, la fase alfa deve predisporre tutti gli organi che successivamente saranno interessati dal lo svolgimento della fase beta.

Quest'ultima, esegue le operazioni per le quali é stata predisposta dalla fase alfa e le ripete per ogni carattere (o coppia di caratteri) da elaborare finché non si genera il segnale di fine esecuzione.

Da quanto ora descritto, si può desumere che :

- LA FASE ALFA SI SVOLGE IN UN TEMPO DETERMINATO DAL TIPO DI ISTRUZIONE IN CORSO (variabile da gruppo a gruppo di istruzioni).

- LA DURATA DELLA FASE BETA E' FUNZIONE DEL TIPO DI ISTRUZIONE ED INOLTRE E' TANTO PIU' LUNGA QUANTO MAGGIORE E' IL NUMERO DEI CARATTERI DA ELABORARE.

Le due fasi quindi, oltre a non essere mai contemporanee, differiscono anche per la durata dello svolgimento.

E' bene ricordare costantemente che un'istruzione avente fase beta termina la sua esecuzione solo al termine della fase beta.

Altre istruzioni (INS, ENS, NOP2, HLT, LON, LOFF) si dicono senza fase beta poiché terminano la loro esecuzione dopo aver eseguito la sola fase alfa.

DOMANDE

a) - Per cosa differiscono le due fasi ? α - β.

fase α → fase β sono diverse ...

b) - Quando un'istruzione si può considerare terminata ?

Quando arriva l'impulso di fine esecuzione generato dalla fase β → fase α

c) - L'elaboratore alla fine di una fase alfa come si trova ?

nello stato per la fase β acceso

RISPOSTE

a) - Differiscono per l'ordine di esecuzione e per la loro durata.

b) - Alla fine della fase beta od in alcuni casi alla fine della fase alfa.

c) - In attesa di eseguire la fase beta o la successiva fase alfa se il tipo di istruzione non ammette fase beta.

Fase-operazione composto da + stati

Uno stato composto da + eventi

1.3. SVOLGIMENTO DELLE FASI

Le fasi alfa e beta compiono un certo numero di operazioni elementari, successive nel tempo, fino ad ottenere i risultati voluti.

Un certo numero di operazioni elementari, raggruppate secondo determinati criteri logici, stabilisce le caratteristiche di uno STATO.

- LO STATO INDICA UNA FRAZIONE DELLE OPERAZIONI TOTALI DI UNA FASE.

- UNO STATO SI COMPONE DI UN CERTO NUMERO DI OPERAZIONI ELEMENTARI CHIAMATI " EVENTI ".

Gli eventi di uno STATO possono essere vincolati o non vincolati alle condizioni di macchina.

- NEL PRIMO CASO SI DEFINISCONO " EVENTI CONDIZIONATI " NEL SECONDO " EVENTI INCONDIZIONATI ".

Le fasi sono determinate da una successione di STATI che le definiscono.
L'organo che determina la configurazione degli STATI è il registro SO.

Al termine di una ciclata uno STATO può rimanere ancora presente oppure, come avviene normalmente può cambiare. Il nuovo stato sarà determinato dai comandi emessi dalla " matrice logica" che agiscono sul registro SO.

- LE USCITE DEL REGISTRO SO SONO IN DIRETTO CONTATTO CON LA MATRICE LOGICA E DETERMINANO ASSIEME AD ALTRE CONDIZIONI, LA GENERAZIONE DEGLI EVENTI INCONDIZIONATI E L'ABILITAZIONE A QUELLI CONDIZIONATI.

Le fasi alfa e beta di una istruzione, come si è già accennato precedentemente, non hanno la stessa durata e compiono sostanzialmente operazioni diverse.

La fase alfa ha lo scopo di leggere ed interpretare i caratteri che compongono una istruzione.

E' evidente che maggiore è il numero dei caratteri che compongono l'istruzione maggiore sara' la durata della fase alfa.

Gli STATI che definiscono la fase alfa sono sempre gli stessi anche se vengono interessati in modo ed in numero diverso a seconda del tipo d'istruzione interna che si vuol eseguire.

Altrettanto si può dire per la fase beta in quanto gli STATI che la definiscono sono sempre gli stessi anche se interessati in modo diverso e secondo del tipo di istruzione.

DOMANDE

a) - Quale organo definisce gli STATI ?

il registro SO (+ ML ...)

b) - Con che cosa si identifica un evento condizionato ?

con una condizione

c) - Cosa indica lo STATO ?

configurazione di comandi che
non cambia a quelli eventi fini

d) - La fase alfa ha un tempo di svolgimento costante ?

no

e) - Dove agiscono le uscite del registro SO ?

sui comandi nello ML

RISPOSTE

a) - Il registro SO.

b) - Con uno o più condizioni di macchina.

c) - Un insieme di eventi o operazioni elementari.

d) - No. Il tempo è in relazione al tipo di istruzione.

e) - Direttamente sulla matrice logica.

1.4. IDENTIFICAZIONE DELLO STATO

Lo STATO si identifica con un certo numero di eventi condizionati o incondizionati.

Ogni qualvolta SO assume la configurazione di uno STATO si ha che:

- gli eventi condizionati per i quali esso è predisposto POSSONO essere generati.
- gli eventi incondizionati si generano sistematicamente.

Non basta perciò l'esistenza dello STATO per creare un determinato evento condizionato. Affinchè quest'ultimo si verifichi, è sempre necessario che siano presenti delle condizioni logiche ben precise.

- SI PUO' QUINDI AFFERMARE CHE UN EVENTO CONDIZIONATO, OLTRE AD ESSERE VINCOLATO ALLA PRESENZA DELLO STATO, E' ALTRESI' VINCOLATO AL VERIFICARSI DI ALTRE CONDIZIONI LOGICHE.

Generalmente ogni evento, condizionato e incondizionato può, identificarsi con un COMANDO generato dalla matrice logica. Si dice che in uno STATO si verifica l'evento voluto in quanto in quello STATO nasce il comando relativo all'operazione elementare che si vuol eseguire.

Alcuni eventi incondizionati o condizionati possono NON identificarsi con comandi : cioè i primi possono verificarsi con la sola presenza dello STATO (0→RO, M→RO, ecc.) i secondi con la presenza dello STATO e di condizioni particolari (nello S102 res. DISA se l'istruzione é l'INS e se R005 é a 1).

Inoltre gli eventi, normalmente, non hanno efficacia nel momento in cui nasce il comando. Perchè essi producano l'effetto voluto, è necessaria l'attivazione determinata da un mastro della L.d.R., ciò che, nell'ambito dello STATO, li rende temporizzati al momento opportuno.

In definitiva l'esecuzione di una operazione elementare è stabilita :

- DALLO STATO
- DALLE CONDIZIONI LOGICHE DI MACCHINA
- DAL MASTRO TEMPORIZZATORE DELLA L.d.R.

DOMANDE

a) - Da cosa è condizionata una operazione elementare ?

.....
.....

b) - Perchè è necessaria la temporizzazione ?

per persone gli organi hanno a ricevere
.....
.....

c) - Tutti gli eventi si identificano con un comando ?

.....
.....

d) - Da cosa è vincolata la generazione di un comando ?

.....
.....

RISPOSTE

a) - Una operazione elementare è condizionata:

- dallo STATO
- dalle condizioni logiche di macchina
- dalla temporizzazione

b) - Per far originare l'evento ad un determinato tempo prestabilito.

c) - No, alcuni eventi possono verificarsi con la sola presenza dello STATO, oppure con la presenza dello STATO e di condizioni particolari.

d) - La generazione di un comando è vincolato dalla presenza di uno STATO ed eventualmente da condizioni logiche.

LEZIONE 2

Tempo di studio
30 minuti

2. STATI DELLA FASE ALFA

2.1. Si consideri ora una istruzione interna.

Si supponga che essa sia posta come prima istruzione di un programma, a partire dall'indirizzo di memoria 0000 (0/0 0/0).

La L.d.R. non cicla.

Premendo il pulsante CLEAR tra le altre operazioni si ottiene anche :

- l'azzeramento dell'indirizzatore VI (0000)
- il forzaggio in SO di una configurazione particolare che rappresenta lo STATO 101 (S101), primo stato della fase alfa.

Alla premuta del pulsante START si avvia la L.d.R.

Al termine della ciclata si avrà un mastro che farà cambiare la configurazione di SO creando un altro STATO (S102), secondo stato della fase alfa.

Così, ciclata per ciclata della L.d.R. si eseguono le operazioni determinate dalle condizioni di macchina relative ad uno STATO. Inoltre si creano le condizioni per le quali si genera lo STATO successivo fino al termine della fase alfa. L'ultimo stato della fase alfa genera, normalmente, il primo stato della fase beta. Si procede in questo modo fino ad un arresto della elaborazione.

Il numero di STATI che si possono percorrere in una fase alfa possono variare in relazione al tipo d'istruzione.

In Fig. 2.1.1 sono raggruppati gli STATI che si percorrono in fase alfa con riferimento al tipo di istruzioni interne.

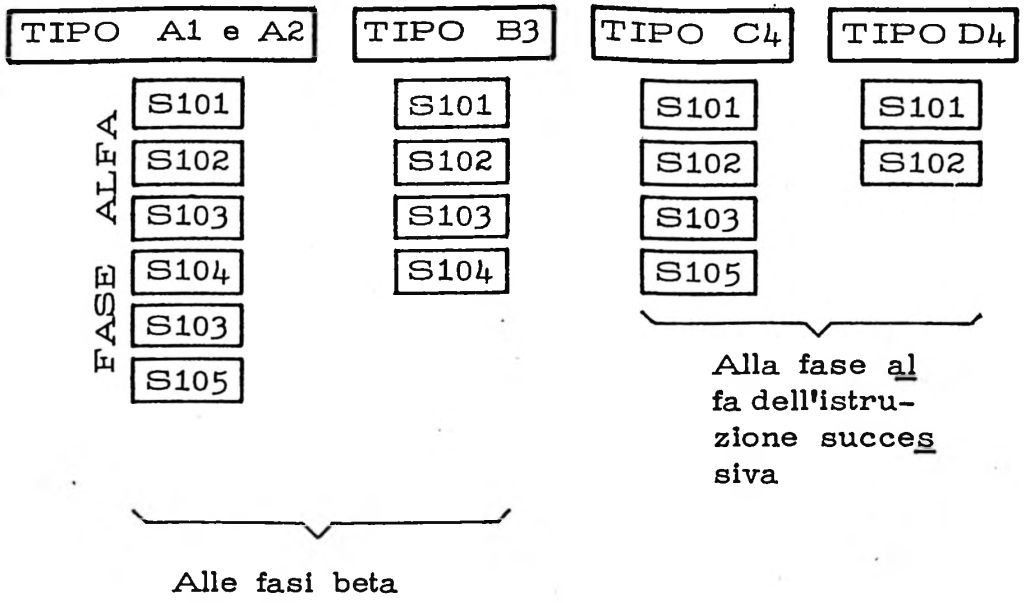


Fig. 2.1.1

Al termine della fase alfa si passa alla fase beta o alla fase alfa dell'istruzione successiva.

INIZIARE LA FASE BETA SIGNIFICA GENERARE IN SO UNA CONFIGURAZIONE TALE DA CREARE UNO STATO PARTICOLARE CHE SVOLGA LE OPERAZIONI DI "ESECUZIONE" DELL'ISTRUZIONE ESTRATTA DA MEMORIA DURANTE LA FASE ALFA.

Al termine della fase beta, con il continuo riciclo della L.d.R., si passa ad una successiva fase alfa.

Si ripetono cioé, a seconda del tipo di istruzione, gli STATI precedentemente visti.

DOMANDE

a) - Quale è il numero massimo di STATI che si possono percorrere in fase alfa ?

5

b) - Quale è il numero minimo di STATI che si possono percorrere in fase alfa ?

2

c) - Come si chiamano gli STATI che si possono percorrere in fase alfa ?

101 - 2 - 3 - 4 - 5

d) - Quale STATO si forza da console premendo il pulsante CLEAR ?

S-101 -

e) - In generale cosa si svolge dopo la fase alfa ?

C. B...

f) - Cosa significa iniziare la fase beta ?

inizia l'esecuzione dell'operaz.
della — fase 2.

RISPOSTE

a) - Sei.

b) - Due.

c) - S101 - S102 - S103 - S104 - S105.

d) - Lo S101 primo STATO della fase alfa.

e) - La fase beta.

f) - Creare uno STATO che svolga operazioni di esecuzione e non di predisposizione.

2.2. RAPPRESENTAZIONE DEGLI STATI

E' necessario ora esaminare la rappresentazione di uno STATO.

Ritornando all'esempio precedente (operazione da console) il primo STATO che si genera è S101.

A tale STATO è evidente si debba giungere non solo tramite l'operazione da console, esposta nel paragrafo precedente, ma anche da altri STATI essendo questo sempre il primo " STATO " della fase alfa.

In altre parole :

- OGNI VOLTA CHE SI TERMINA UNA FASE DI ESECUZIONE E L'ELABORAZIONE CONTINUA, LO STATO AL QUALE SI DEVE ANDARE E' SEMPRE LO STATO 101.

Inoltre è bene sottolineare che tutti gli STATI possono essere FORZATI da console di manutenzione.

In Fig. 2.2.1 viene riportato lo S101. In alto sono messe in evidenza le vie che conducono ad esso.

Oltre al CLEAR ed al FORZ. CONSOLE (di manutenzione) compare la serie di STATI dai quali si può pervenire allo S101.

Da uno di tali STATI si può giungere allo S101 automaticamente a seconda dell'istruzione precedentemente svolta dall'elaboratore.

Per esempio dallo S102 si passa allo S101 solo a condizione che l'istruzione precedente sia stata di tipo D4. Questo tipo di istruzione é caratterizzato dalle seguenti condizioni :

$$\overline{FO07} \cdot \overline{FO06}$$

Dove FO06 e FO07 rappresentano i bit 06 e 07 del registro di funzione FO.

Nella rappresentazione degli stati, le condizioni presenti per ogni singolo evento sono indicate con espressioni booleane. Quindi un evento, ad esempio "Set SO02"(Fig. 2.2.1) deve essere interpretato nel seguente modo :

- il set di SO02 ha luogo se si ha la presenza di fine fase alfa contemporaneamente alla assenza della condizione A e della condizione PER.

Analizzando la Fig. 2.2.1 e la tabella dei codici di funzione posta in appendice si può dedurre che :

- la lettera A rappresenta un certo numero di istruzioni (INS+ENS+NOP2+LON+LOFF+JRT+JC) però non tutte sono composte con $\overline{FO06} \cdot \overline{FO07}$. Il che conduce a dire che solo la INS, la ENS, la LON, la LOFF, la NOP2 e l'ALT possono creare tale passaggio, mentre questo non può verificarsi per la JRT e la JC in quanto esse sono definite da un codice di funzione avente FO06 e $\overline{FO07}$.

Il registro SO é composto da 8 F.F. denominati 00--01-02-03-04-05-06-99.

Gli STATI della fase alfa e della fase beta delle istruzioni interne sono interessati dall configurazioni relative ai primi sei F.F. (00 + 05). I F.F. 06 e 99 interessano le istruzioni esterne e si analizzeranno in seguito.

Uno STATO quindi é definito da una certa configurazione del registro SO relativa ai suoi primi F.F.

I F.F. 06 e 99 nelle istruzioni interne non sono MAI considerati.

Il F.F. 04 tra parentesi indica che da qualsiasi STATO si provenga esso è sempre a valore logico " 1 " anche se non usato per la decodifica dello STATO.

Riassumendo si può dire che :

- I BIT DI SO INTERESSANO LA DECODIFICA DEGLI STATI SOLO PARZIALMENTE E PER LO STESSO STATO SEMPRE NELLO STESSO MODO.

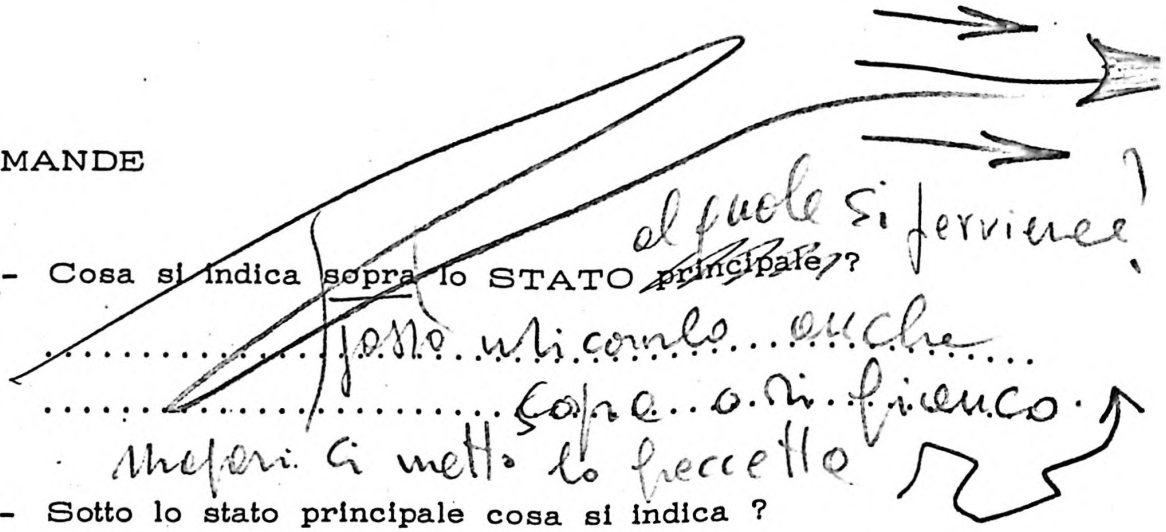
E' necessario quindi indicare i bit di SO che interessano ogni singolo STATO.

Il procedimento è il seguente :

- Si sottolineano i bit utilizzati nella decodifica dello STATO.
- Si soprassegnano i bit non utilizzati per la decodifica dello STATO, ma usati come F.F. di servizio (come più avanti sarà descritto).
- Si pongono tra parentesi i F.F; non usati né per la decodifica degli STATI né come F.F. di servizio il cui valore " 0 " o " 1 " sia definito.

Infine sotto allo STATO principale rappresentato, si pongono gli STATI ai quali si può andare se sussistono le condizioni indicate nella casella sottostante la configurazione di SO.

Quanto detto finora vale per tutte le rappresentazioni degli STATI.



DOMANDE

a) - Cosa si indica sopra lo STATO ~~principale~~ al quale si perviene?

..... sono utilizzato anche
..... sopra ai finco
Inoltre si mette le frecce

b) - Sotto lo stato principale cosa si indica ?

..lo stato seguente.....
..desiderato si ci sono certe
condizioni

c) - Analizzando la rappresentazione dello S101 spiegare dettagliatamente, con quali condizioni si perviene da S104, da S107 e da S111.

E
.....
.....
F006 A
sempre

RISPOSTE

a) - Sopra lo STATO principale si indicano gli STATI e le condizioni particolari che consentono di pervenire da questi allo STATO principale considerato.

b) - Si indicano gli STATI ai quali si deve andare in presenza di certe condizioni (o di nessuna).

c) - Da S104 si perviene per $\overline{FO06}$. A.
Cioè si passa da S104 a S101 se c'è la condizione A e non è presente in FO il BIT 06; cioè per le istruzioni JC e JRT.
Da S107 si perviene per: E.
Cioè per tutte le condizioni riportate nello schema.
Da S111 si perviene INCONDIZIONATAMENTE.

2.3. LE OPERAZIONI ELEMENTARI DEGLI STATI

Nel paragrafo precedente si è analizzata la rappresentazione generale dello STATO trascurando volutamente la discussione riguardante le operazioni elementari che esso svolge .

E' necessario ora riferirsi a quest'ultime

Nella parte centrale dello schema rappresentante lo STATO principale si osservano quattro indicazioni :

- EVENTI
- CONDIZIONI PRESENTI
- COMANDI
- MASTRI

EVENTI

La simbologia che rappresenta l'evento indica sinteticamente quale tipo di operazione si esegue .

Per lo S101, ad esempio 0→RO, indica l'azzeramento di RO, o se si vuole, il caricamento di RO con degli zeri .

CONDIZIONI PRESENTI

Indicano per quale condizione si verifica l'evento.
Nel caso di 0→RO non esiste nessuna condizione: ciò significa che tale operazione elementare si svolge incondizionatamente ogni qualvolta si farà lo S101.

L'evento STOP L.d.R. si verifica invece se è presente almeno una delle due condizioni che lo vincolano: cioè o si ha ALT→RO (configurazione dell'istruzione HLT nel registro RO) oppure il segnale ISIS . DISA (comando STEP BY STEP.).

COMANDI

Precisano quale comando è necessario per eseguire lo evento. Ad esempio :

- nel caso di 0→RO non necessita nessun comando
- nel caso di VI→VO (trasferimento del contenuto dell'indirizzatore VI nell'indirizzatore VO necessita il comando CO02 finchè tale operazione si effettui .

MASTRI

Indicano la sequenza temporale degli eventi.
Quindi gli eventi 0→RO e VI→VO interessati dal mastro NA00 si verificano contemporaneamente mentre 0→VI MASTRATO con NA01, sarà senz'altro un evento successivo ai precedenti.

Riguardo alle indicazioni dei mastri si può osservare che l'evento M→RO (lettura della posizione di memoria interessata e caricamento con il suo contenuto del registro RO) è segnalato con due mastri NA61 + NA62 che indicano l'intervallo in cui i generatori di pilotaggio di lettura interessano la memoria.

Così pure per RO→M segnalato con NA63 + NA68 si indicano i tempi di attivazione dei generatori di pilotaggio di scrittura.

DOMANDE

a) - In uno STATO quali eventi sono di maggiore interesse?

.....Inizio.....
.....

b) - Cosa determinano i mastri di uno STATO ?

b. svolgimento sequenziale di:
(Temporizzazione).....

c) - Gli eventi sono solo condizionati ?

.....SI e NO -
.....

d) - Gli eventi sono sempre generati da comandi ?

.....No -
.....

e) - Perché taluni eventi sono indicati con due mastri ?

.....fasi: es. lettura ... accoda? -- inserta ec.
.....(inizio, fine ec.).....

RISPOSTE

a) - Quegli eventi che danno origine ad una disposizione particolare di uno o più organi della macchina che in altri STATI non vengono interessati.

b) - Determinano la temporizzazione dei singoli eventi.

c) - No. Possono essere sia incondizionati che condizionati.

d) - No. Possono verificarsi anche senza un comando.

e) - Perchè l'evento non nasce in un tempo ben definito, ma è generato nel tempo compreso fra i due mastri.

LEZIONE 3

Tempo di studio
1 ora

3. ANALISI DEGLI STATI DELLA FASE ALFA

3.1. STATO 101 (S101)

Analizzando lo schema dello STATO 101 (S101)(figura 2.2.1) é facile osservare che tutti gli eventi sono incondizionati tranne lo STOP (ALT della L.d.R. e quindi elaboratore fermo) che é condizionato al segnale HLT oppure dal segnale ISIS determinato dalla posizione del tasto STEP BY STEP di console.

Ognuna di queste due condizioni crea il comando CO37 che al mastro NA04 predispone le condzioni per fermare la L.d.R. alla fine della ciclata in corso.

L'analisi che si deve fare degli eventi dello STATO deve essere tale da porre in risalto quale operazione particolare si vuole originare con quella serie di eventi.

L'insieme di eventi dello STATO 101 (S101) si possono così elencare :

- azzeramento di RO (registro di memoria)
- trasferimento in VO del contenuto di VI
- VO consente di estrarre da una posizione di memoria un carattere e di metterlo in RO
- azzeramento di VI
- azzeramento di FO
- in memoria si riscrive il carattere letto
- registrazione in FO del contenuto di RO
- conta in VI e predisposizione per la successiva operazione di lettura di memoria
- arresto della L.d.R. se é presente ISIS o se é presente HLT in RO
- Reset di SO03 che produce il passaggio dallo S101 allo S102.

Tutti gli eventi sopra descritti sono rappresentati nello schema di Fig. 3.1.1

TUTTE QUESTE OPERAZIONI ELEMENTARI, RELATIVE ALLA PREDISPOSIZIONE DEGLI ORGANI DELLA MACCHINA, SERVONO PER CREARE UN EVENTO PARTICOLARE DEFINITO MEMORIA IN FO.
CIOE' IL CARATTERE LETTO IN MEMORIA (F) VIENE POSTO IN FO.

DOMANDE

a) - Quale operazione, particolarmente interessante, é effettuata nello S101 ?

lettura del carattere F → in FO
nello stato 104

b) - Per passare allo S102 quali flip-flop di SO bisogna interessare ?

con Res. S003 : rimane SO = 01

c) - Analizzando la rappresentazione dello S101 spiegare dettagliatamente con quali condizioni si perviene da S104, da S107 e da S111.

V. Risposte precedenti
pag. 2-13

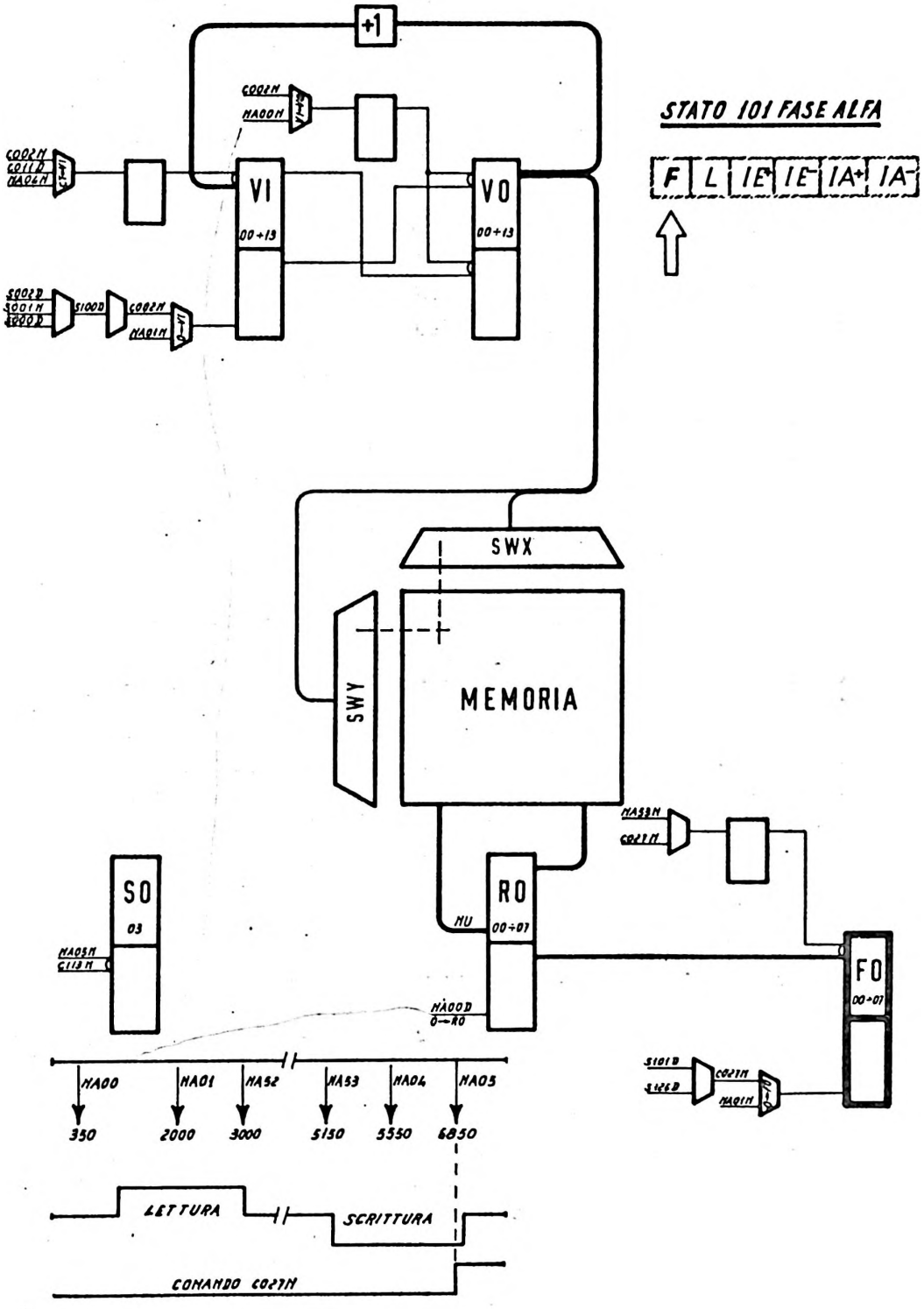

+1
VI
00÷13
VO
00÷13
SWX
SWY
MEMORIA
RO
00÷07
SO
03
FO
00÷07
HU
STATO 101 FASE ALFA
F L IE IE IA+ IA-
HA00
HA01
HA02
HA03
HA04
HA05
350
2000
3000
5150
5550
6850
LETTURA
SCRITTURA
COMANDO CO27N

Fig. 3.1.1

RISPOSTE

a) - L'operazione più interessante che si attribuisce allo S101 é :

(codice F) M ⟶ FO

b) - Bisogna resettare SO03.

c) - Da S104 si perviene per $\overline{FO06}$. A. Cioé si passa da S104 a S101 se c'é la condizione A e non é presente in FO il bit 06 a "1".

- Da S107 si perviene per E, cioé per tutte le condizioni che E rappresenta.

- DA S101 si perviene incondizionatamente.

3.2. STATO 102 (S102)

Allo STATO 102 (secondo STATO della fase alfa), si giunge oltre che per forzaggio da console di manutenzione, solo dallo S101 incondizionatamente (vedi Fig. 3.2.2).

Gli eventi generati nello S102 sono diversi da quelli dello S101; alcuni di essi non sono condizionati al tipo di istruzione che si esegue.

Analizzando gli schemi di Fig. 3.2.1 e 3.2.2 si risponda alle domande seguenti .

DOMANDE

a) - Quale operazione, particolarmente interessante, é effettuata nello S102 ?

.....

.....

b) - Per passare allo S103 quali F.F. di SO bisogna interessare ?

.....

.....

c) - E per passare allo S101 ?

.....

.....

d) - Durante la fase alfa la conta di VI (CT→VI) é crescente o decrescente ?

.....

.....

e) - Analizzando attentamente lo schema di Fig. 3.2.2 e la tabella dei codici di funzione posta in appendice, elencare in quali STATI si può andare dallo S102 e per quali condizioni le operazioni sono corrette.

.....

.....

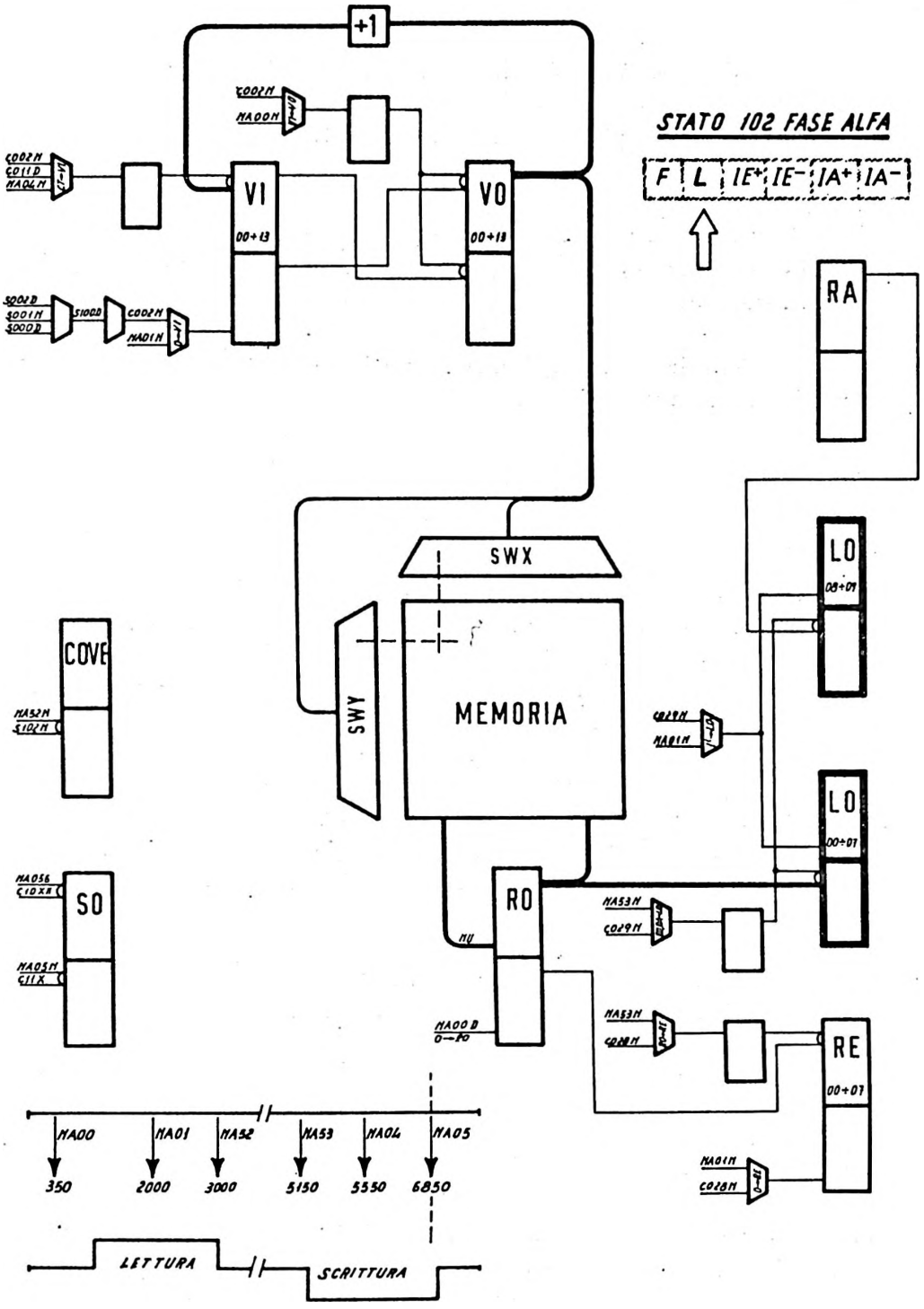

+1
STATO 102 FASE ALFA
F
L
IE+
IE-
IA+
IA-
VI
VO
RA
LO
SWX
SWY
MEMORIA
COVE
SO
RO
LO
RE
MA00
MA01
MA02
MA03
MA04
MA05
350
2000
3000
5150
5550
6850
LETTURA
SCRITTURA

Fig. 3.2.1

RISPOSTE

a) - L'operazione particolare che si attribuisce allo S102 é

(Lunghezza) M → LO

cioé il carattere seguente quello di funzione, che rappresenta la lunghezza dei dati sui quali si vuole operare, viene posto in LO.

b) - Bisogna settare sia SO05 che SO03.
Ambedue sono condizionati a FO07 + FO06; cioé per quanto descritto in precedenza, si pongono in set per tutte le istruzioni tranne per quelle senza alcuna fase beta (NOP2 + HLT + INS + ENS + LON + LOFF).

c) - Bisogna settare SO03.
Infatti pur non essendo presente né FO07 né FO06 , SO03 si pone in set anche con la condizione (fine fase alfa).(A + C + JRT + PER).

d) - Sempre crescente.

e) - Gli STATI ai quali si deve andare se l'elaboratore agisce in maniera corretta sono : S103 per FO07+FO06 e S101 · $\overline{FO07}$ · $\overline{FO06}$ · A. Agli altri STATI si può andare per errata codifica delle istruzioni.

Si ricordi che il registro FO ammette 64 codici di funzione diversi. In pratica hanno significato solo le istruzioni previste; i codici di funzione diversi da quelli previsti fanno appunto compiere all'elaboratore operazioni casuali.

Alcuni eventi ora considerati (Res. COVE, Res.Selezione Unità Standard, ecc) verranno ampiamente discussi in seguito quando sarà necessaria la loro utilizzazione.

3.3. STATO 103 (S103)

Lo schema di Fig. 3.3.1 rappresenta lo S103. Analizzarlo accuratamente assieme a quello degli organi riportati in Fig. 3.3.2 e rispondere alle seguenti :

DOMANDE

a) - Da quali STATI si può giungere allo S103 e per quali condizioni ? No comune No S102 (F000 + F007
No S104 (F006)

b) - A quali STATI invia lo S103 e per quali condizioni ?
S104 Con S004
S105 Con S003 Set S006

c) - Per quali istruzioni si percorre lo S103 ?
A? A1 - B3 - C4

d) - Cosa significa la condizione S004 che vincola il passaggio agli STATI successivi ?

e) - Quale é l'operazione principale dello S103 ?
Uscita dall'interrupt Completa + segnalazione

f) - Il E.F. S004 che fino ad ora non era considerato , che aspetto assume per gli STATI ?

g) - Cosa significa l'indicazione

R003,00 → RA03,00
oppure R007,04 → RA07,04

Indirizzo Ro → RA
Es 0300 → 0300
0704 → 0704

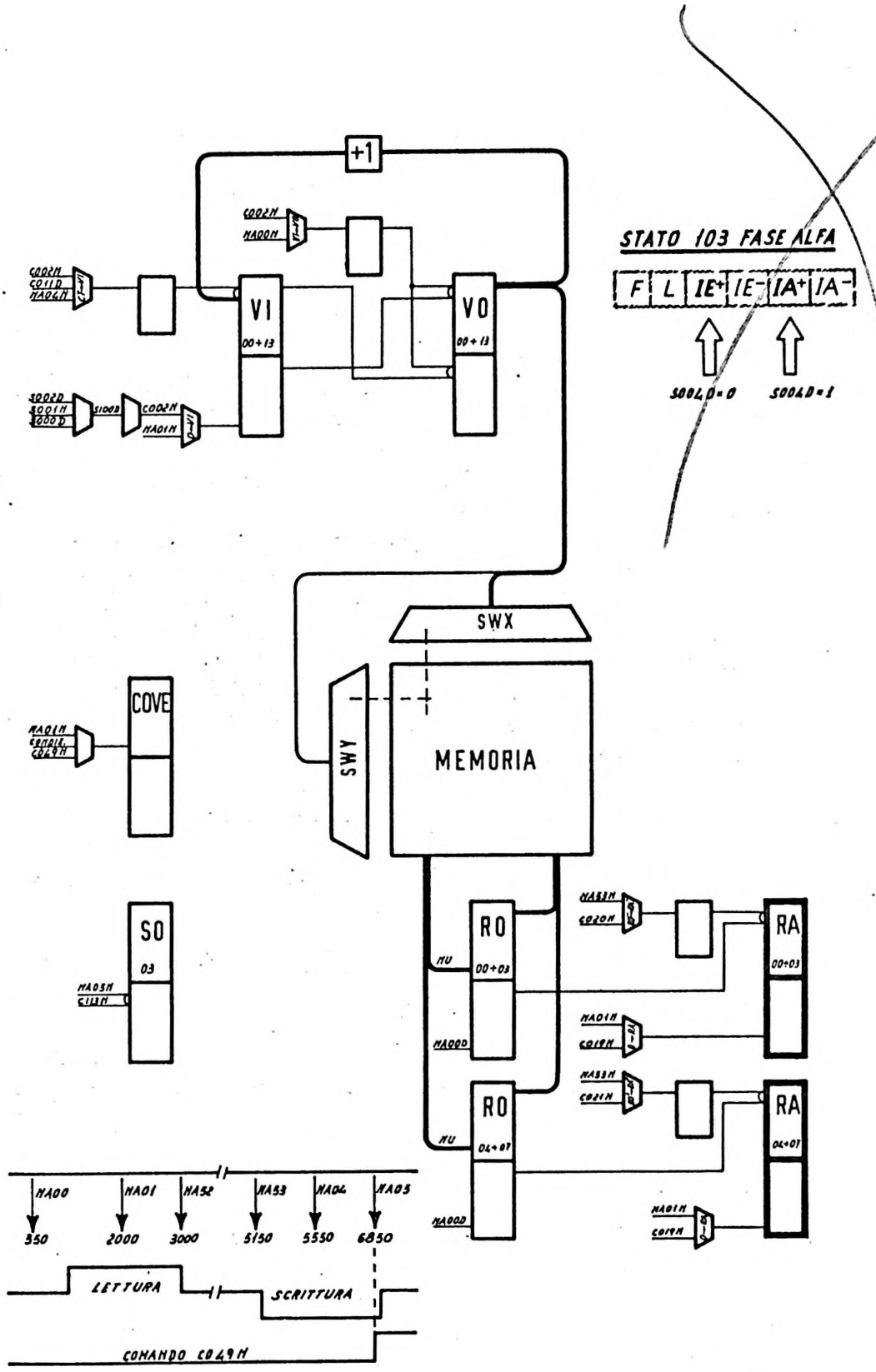

+1
VI
00÷13
VO
00÷13
SWX
SWY
MEMORIA
COVE
SO
03
RO
00÷03
RA
00÷03
RO
04÷07
RA
04÷07
STATO 103 FASE ALFA
F
L
IE+
IE-
IA+
IA-
SOOLD=0
SOOLD=1
NA00
NA01
NA02
NA03
NA04
NA05
350
2000
3000
5150
5550
6850
LETTURA
SCRITTURA
COMANDO C049M

Fig. 3.3.2

RISPOSTE

a) - Dallo STATO 102 per FO07 + FO06 e dallo STATO 104 per FO06.

b) - Allo S104 per $\overline{SO04}$ ed allo S105 per SO04.

c) - Per tutte le istruzioni tranne che per le istruzioni senza fase beta (INS-ENS-LON-LOFF-NOP2-HLT).

d) - Il F.F. SO04 condiziona il passaggio ad uno STATO od ad un altro. Esso non viene interessato nello S103 ma nello S102 e memorizza (se in reset) che l'istruzione trattata ha il bit FO07 presente ed é quindi un'istruzione interna avente fase beta. Controllare quanto descritto sulla tabella dei codici di funzione posta in appendice.

e) - Nello S103 si trasferisce la parte più significativa di un indirizzo (IE^+ o IA^+) in RA.

f) - Assume l'aspetto di F.F. di servizio e stabilisce se l'istruzione é un'istruzione di salto o no. Nel caso di salto si passa dallo S103 allo S105 in quanto per tali istruzioni il SO04 non viene posto in reset nello S102.

g) - La scrittura RO 03, 00→RA 03,00 indica che il contenuto dei primi 4 F.F. di RO (00 + 03) si trasferisce nei primi 4 F.F. di RA (00 + 03).
Così pure l'indicazione RO07,04→RA07,04 indica il trasferimento dei F.F. 04+07 di RO nei F.F. 04 + 07 di RA.

3.4. STATO 104 (S104)

Analizzare lo S104 consultando i disegni di figura 3.4.1 e di Fig. 3.4.2 e rispondere alle seguenti :

DOMANDE

a) - Specificare dettagliatamente per quali istruzioni e per quali condizioni si passa dallo S104 agli STATI seguenti. A1 - A2 B3 ..
.....
.....

b) - Quale é l'operazione principale dello S104 ?
.....
.....

c) - Da quale STATO si perviene allo S104 ?
.....
.....

d) - Specificare per quali condizioni si settano e resettano i F.F. SO.
.....
.....

e) - Per quali istruzioni si percorre lo STATO S104 ?
.....
.....

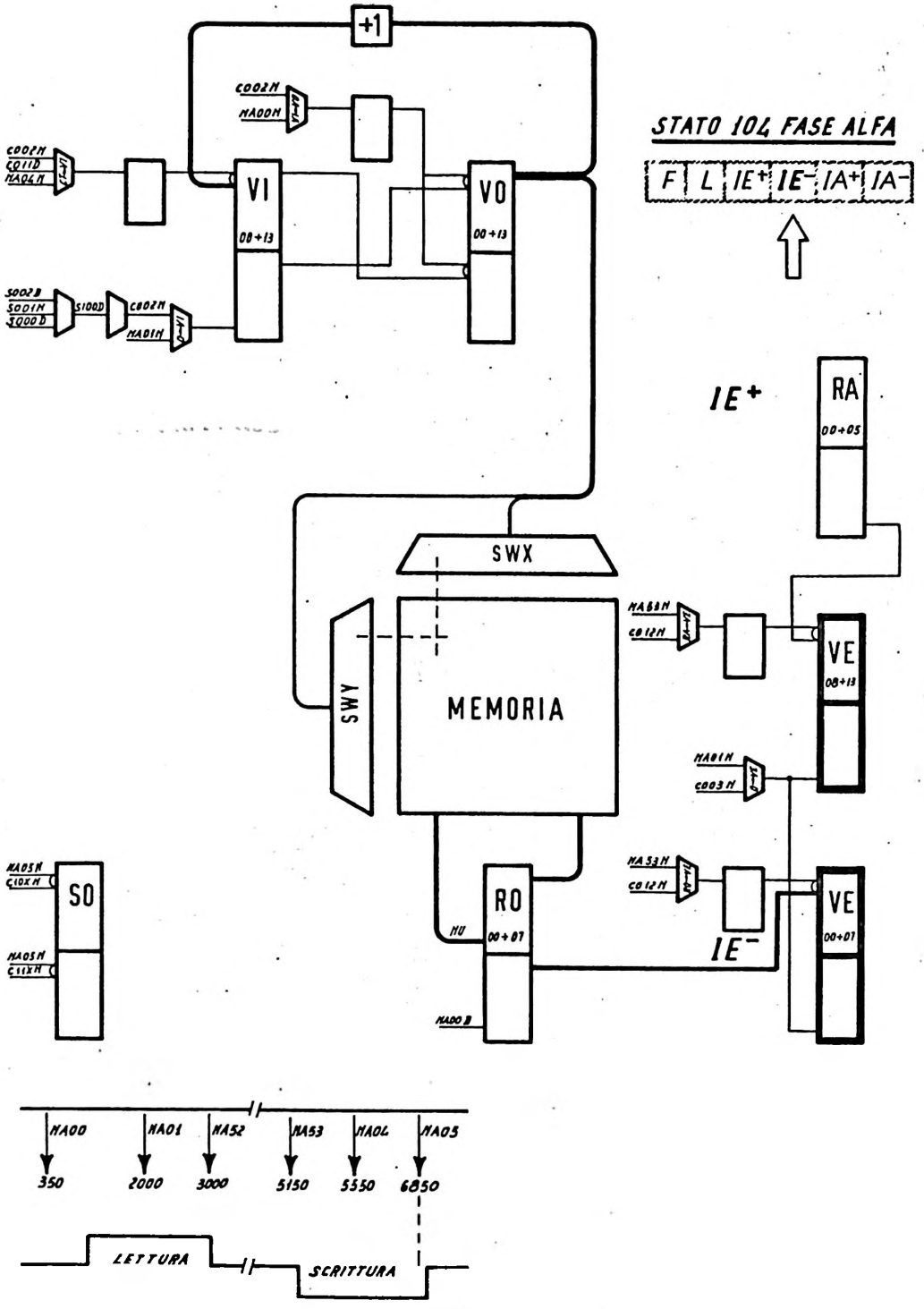

+1
VI
08÷13
VO
00÷13
STATO 104 FASE ALFA
F
L
IE+
IE-
IA+
IA-
IE+
RA
00÷05
SWX
SWY
MEMORIA
VE
08÷13
IE-
VE
00÷07
RO
00÷07
SO
NA00
NA01
NA52
NA53
NA04
NA05
350
2000
3000
5150
5550
6850
LETTURA
SCRITTURA

Fig. 3.4.1

RISPOSTE

a) - Dallo S104 si passa allo :

- S103 - se il carattere di funzione dell'istruzione che si esegue ha presente il bit FO06. Poiché precedentemente, (nello S102) si era analizzato se il codice di funzione dell'istruzione aveva presente il bit FO07 si può concludere, con l'aiuto della tabella dei codici posta in appendice, che dallo S104 si ritorna allo S103 qualora si analizzi un'istruzione composta da più di quattro caratteri.

- S107 - nel caso in cui la istruzione sia una MVI o una CMI.
Queste istruzioni infatti sono definite da quattro caratteri ed hanno presente nel codice di funzione $FO07 \cdot \overline{FO06}$.

- S126 - durante le istruzioni esterne anch'esse aventi $FO07 \cdot \overline{FO06}$.

- S101 - S106 - S110 - solo per errore di decodifica o di elaboratore in relazione alle condizioni esposte. ($\overline{FO06} \cdot B + \overline{FO06} \cdot JRT + \overline{FO06} \cdot A$). Infatti l'assenza di FO06 per le istruzioni considerate in A, B e per la JRT costituisce errore.

b) - L'operazione principale consiste nel leggere il 4° carattere da memoria e porlo in RO. Trasferire il contenuto di RO e RA in VE, caricando quest'ultimo con l'indirizzo di elaborazione.

c) - Solo dallo S103 se $\overline{SO04}$.

d) - Set SO02 per (fine fase alfa). $\overline{A} \cdot \overline{EST}$

Set SO03 per (fine fase alfa). (A+C+JRT+PER)+FO06

Set SO04 per (fine fase alfa) + FO06

Res SO01 per (fine fase alfa) (JRT + PER)

Res SO05 per (fine fase alfa)

Il solo set del F.F. SO03 conduce allo S103 . In questo caso si setta anche lo SO04 che viene utilizzato come F.F. di servizio.

Il set di SO02 e SO03 conduce allo S107. In questo caso si ha anche il reset di SO05.

Il set di SO03, il reset SO01 ed il reset di SO05 consentono di passare allo S126.

e) - Lo S104 si percorre durante tutte le istruzioni interne escluse quelle senza fase beta e quelle di salto.

3.5. STATO 105 (S105)

Si analizzino gli schemi di Fig. 3.5.1 e di Fig. 3.5.2 e si risponda alle seguenti :

DOMANDE

a) - Specificare, a seconda del tipo di istruzione che l'elaboratore analizza, a quale STATO si va dallo S105 ?

S106 con B. > 101 con C. S110 (JRT.
S106 se (per) S101 con A

b) - Lo S103 é l'unico STATO che fa pervenire allo S105 ma per due diversi tipi di istruzione, quali sono ?

A1 + A2 (4

c) - Per le istruzioni di salto che eventi produce lo S105 ?

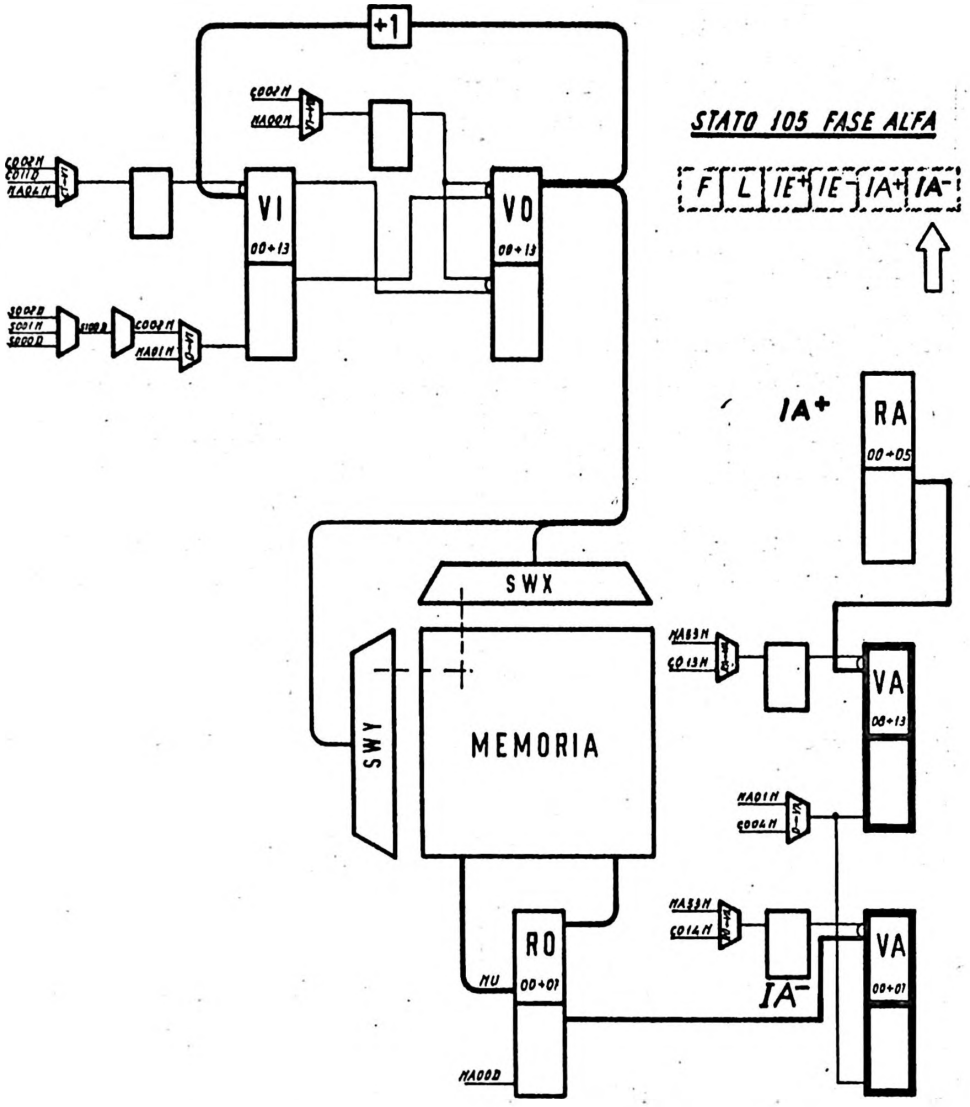
Inoltre allo stato 101 fase 2 durante
V. pel 3-27 ...

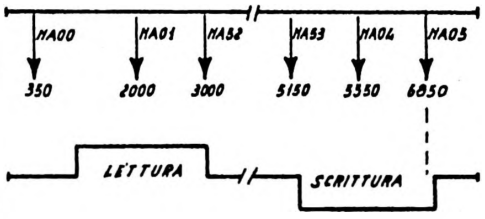
d) - Per le istruzioni normali di sei caratteri cosa si verifica ?

che cosa fa lo S105?

No S105 si torna a fase B.
Solo alla fase terminale RD/RA. l'elaboratore da comp. A/E

e) - Analizzare le condizioni che determinano le variazioni dei F.F. di SO. no stato 105
da B. C. JRT. (PER) A


+1
VI
00÷13
VO
00÷13
STATO 105 FASE ALFA
F
L
IE+
IE-
IA+
IA-
IA+
RA
00÷05
SWX
SWY
MEMORIA
VA
00÷13
RO
00÷01
MU
VA
00÷01
IA-
HA00D


HA00
HA01
HA02
HA03
HA04
HA05
350
2000
3000
5150
5350
6850
LETTURA
SCRITTURA

3.5.1

RISPOSTE

a) - S106 - A questo STATO si va nel caso delle istruzioni del gruppo A1 e A2 composte da sei caratteri ed indicate con la lettera B.
S107 - Allo S107 si va solo per le istruzioni EDT e TR.
S110 - Si va solo per l'istruzione JRT.
S126 - Si va per le istruzioni PER (esterne).
S101 - Allo S101 si ritorna in caso di salto (JRT o JC).

b) - Le istruzioni interne con lunghezza di sei caratteri (dopo il secondo ciclo) e per le istruzioni di salto.
Per queste ultime non si esegue lo S104.

c) - In caso di istruzione di salto per condizione verificata (COVE) l'elaboratore non deve provvedere al caricamento di VE e VA bensì l'indirizzo espresso nell'istruzione viene posto in VI.
Eseguendo lo S103 si pone in RA il primo carattere dell'indirizzo di salto.
Eseguendo S105 si estrae il secondo carattere e lo si pone in RO.
Con la presenza di COVE non si farà RO, RA → VA bensì RO, RA → VI che fa variare l'indirizzo di programma esistente e lo fa sostituire con quello espresso nell'istruzione di salto.
Inoltre si ha ancora un evento vincolato ai salti ed é l'evento STOP. Infatti si può fermare l'elaboratore allo S105 in due casi :

- il primo riguarda le condizioni ARO · COVE. Se da console di manutenzione si pone il pulsante ACOV quando un salto si verifica (COVE) l'elaboratore si ferma.

- il secondo caso di STOP si ha per la condizione ARNO · COVEN . (A+JRT), cioé qualora si posizioni da console di manutenzione il pulsante ACON e nel lo svolgimento del programma si incontri un'istruzione di salto che non verifica la condizione.

d) - Per le istruzioni di sei caratteri si carica con il contenuto di RA le posizioni più significative di VA (VA+) (VA08+VA11) e con il contenuto di RO e le otto posizioni meno significative di VA (VA-).

e) - Set SO02 per (fine fase alfa) · $\overline{A}$. $\overline{EST}$.
Set SO03 per (fine fase alfa) · (A+C+JRT+PER)
Set SO04 per (fine fase alfa)
Res SO01 per (fine fase alfa).(JRT+PER)
Res SO05 per (fine fase alfa)

In questo stato si ha sempre il set del F.F. SO04 ed il reset del F.F. SO05. A seconda dello stato al quale si va possono venire utilizzati oppure no.

Inoltre :

- Il solo set del F.F. SO02 porta S106.
- Il solo set del F.F. SO03 porta allo S101 (istruzione di salto).
- Il set dei F.F. SO02 e SO03 porta allo S107.
- Il resto del F.F. SO01, il set di SO02 e SO03 portano allo S110.
- Il reset di SO01, il set di SO04 portano allo S126 (istruzione esterna).

Tutti gli STATI precedentemente presi in considerazione formano le fasi alfa delle istruzioni interne.

Una rappresentazione globale dell'utilizzazione degli STATI durante le fasi alfa é riportata nello schema di Fig. 3.5.3.

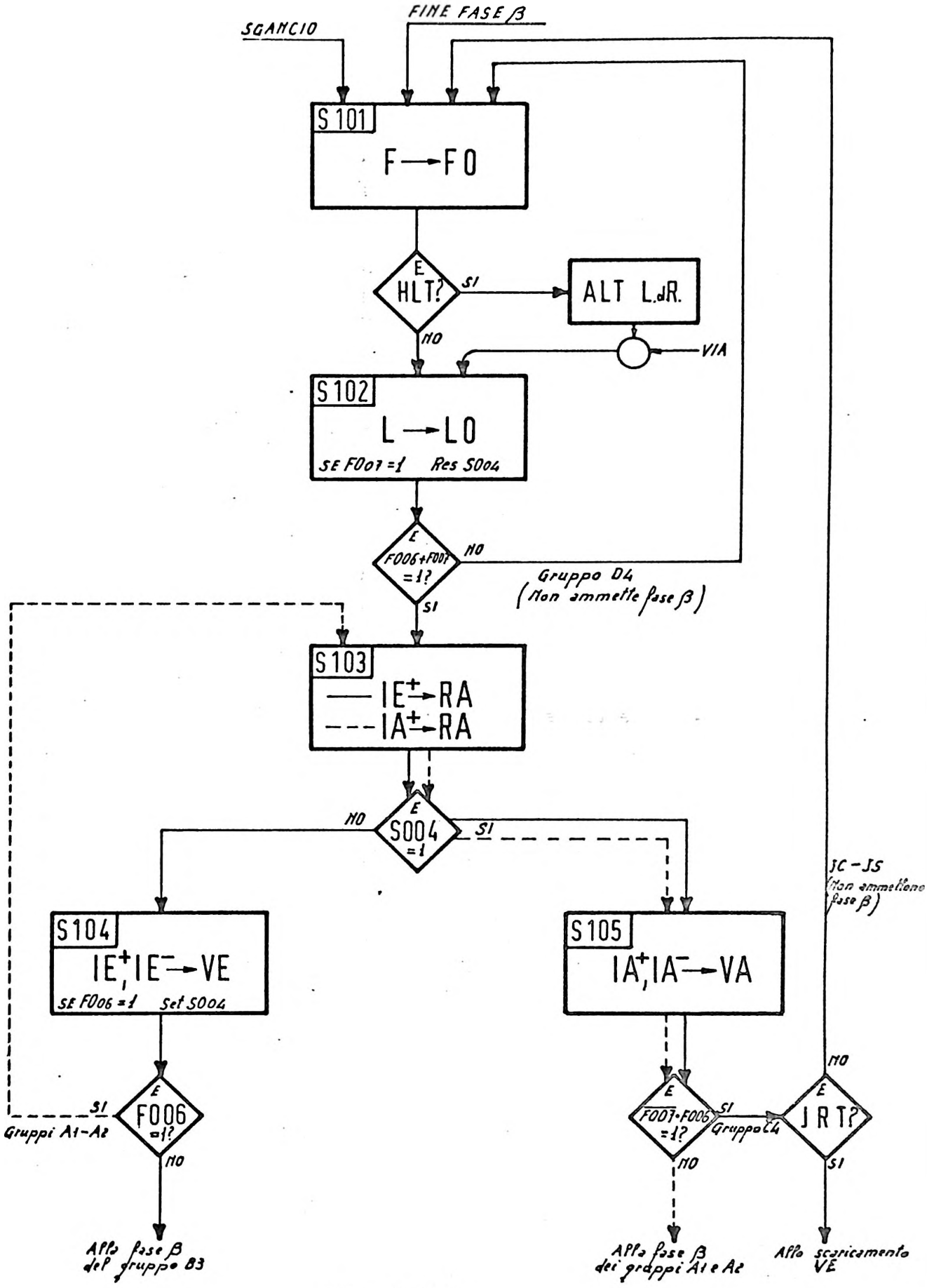

SGANCIO
FINE FASE β
S 101
F → F 0
E HLT?
SI
ALT L.dR.
NO
VIA
S 102
L → L 0
SE F007 = 1 Res S004
E F006+F007 = 1?
NO
Gruppo D4 (Non ammette fase β)
SI
S 103
IE+ → RA
IA+ → RA
E S004 = 1
NO
SI
JC - JS (Non ammettono fase β)
S 104
IE+, IE− → VE
SE F006 = 1 Set S004
S 105
IA+, IA− → VA
E F006 = 1?
SI
Gruppi A1-A2
NO
Allo fase β del gruppo B3
E F007·F006 = 1?
SI
Gruppo C4
NO
Allo fase β dei gruppi A1 e A2
E JRT?
NO
SI
Allo scaricamento VE

Fig. 3.5.3

LEZIONE 4

Tempo di studio
30 minuti

4. STATI DELLA FASE BETA

4.1. STATO 106 E STATO 107

Eseguiti gli STATI della fase alfa, e quindi dopo aver predisposto gli organi dell'elaboratore, inizia la fase di elaborazione dei dati o fase beta se la istruzione stessa la richiede.

Durante le istruzioni interne la fase beta viene eseguita percorrendo due soli STATI in modo diverso, a seconda del tipo di istruzione fino ad aver elaborato tutti i caratteri. Tali STATI sono lo S106 e lo S107.

Ognuno di questi é in grado di eseguire un certo numero di operazioni elementari.

E' necessario sottolineare che in una certa istruzione non si eseguiranno tutte le operazioni elementari per le quali lo STATO é stato predisposto, ma si eseguiranno solo quelle condizionate dal tipo di istruzione che si sta svolgendo.

Nelle pagine seguenti sono riportate le rappresentazioni dei due STATI presentati (Fig. 4.1.1 e 4.1.2.). La loro discussione verrà svolta analizzandoli durante lo svolgimento delle singole fasi esecutive di ogni istruzione.

4.2. STATI DELLO SCARICAMENTO VE

F F' IA+ IA-

Nelle istruzioni interne JRT - SR - SL si esegue un'operazione particolare denominata " SCARICAMENTO VE".

Questa operazione consente al termine dell'istruzione che la interessa, di immagazzinare un indirizzo nelle posizioni 254 - 255 di memoria.

Lo scaricamento VE si esegue poiché le operazioni JRT - SR - SL non danno un risultato relativo al VALORE dei dati elaborati, bensì relativo ad un INDIRIZZO di un carattere elaborato.

Ad esempio si ricorda che nella JRT, il salto viene eseguito incondizionatamente, e si provvede ad immagazzinare nelle posizioni di memoria 254 - 255 l'indirizzo del codice di funzione F dell'istruzione che la segue.

La JRT può essere utilizzata ogni qualvolta si vuole saltare incondizionatamente una parte di programma ma anche ricordare il punto nel quale si é interrotto il programma stesso per poi poterlo riprendere in uno svolgimento successivo.

Nella SR o SL l'indirizzo che si immagazzina é quello dell'ultimo carattere elaborato meno una unità o più una unità in relazione a come si effettua l'elaborazione : cioé se si procede per indirizzi decrescenti o crescenti. (+ 1 per la SR, -1 per la SL (si veda il Volume "Introduzione").

Gli STATI che consentono tale operazione sono gli "STATI" 110 e 111 riportati nelle figg. 4.2.1 e 4.2.2.

Durante lo svolgimento della fase alfa e della fase beta l'ordine ed il numero degli STATI interessati può variare a seconda del tipo di istruzione che si esegue.

Per facilitare lo studio si considerino le istruzioni secondo i raggruppamenti visti nella fig. ~~2.1.1~~.

4-2-0

4.3. RAPPRESENTAZIONE GENERALE DELLE ISTRUZIONI INTERNE

Come la fase alfa, la fase beta si sviluppa per STATI successivi.

Le sequenze degli STATI, delle fasi alfa e beta di ogni gruppo di istruzioni é riportato quì di seguito.

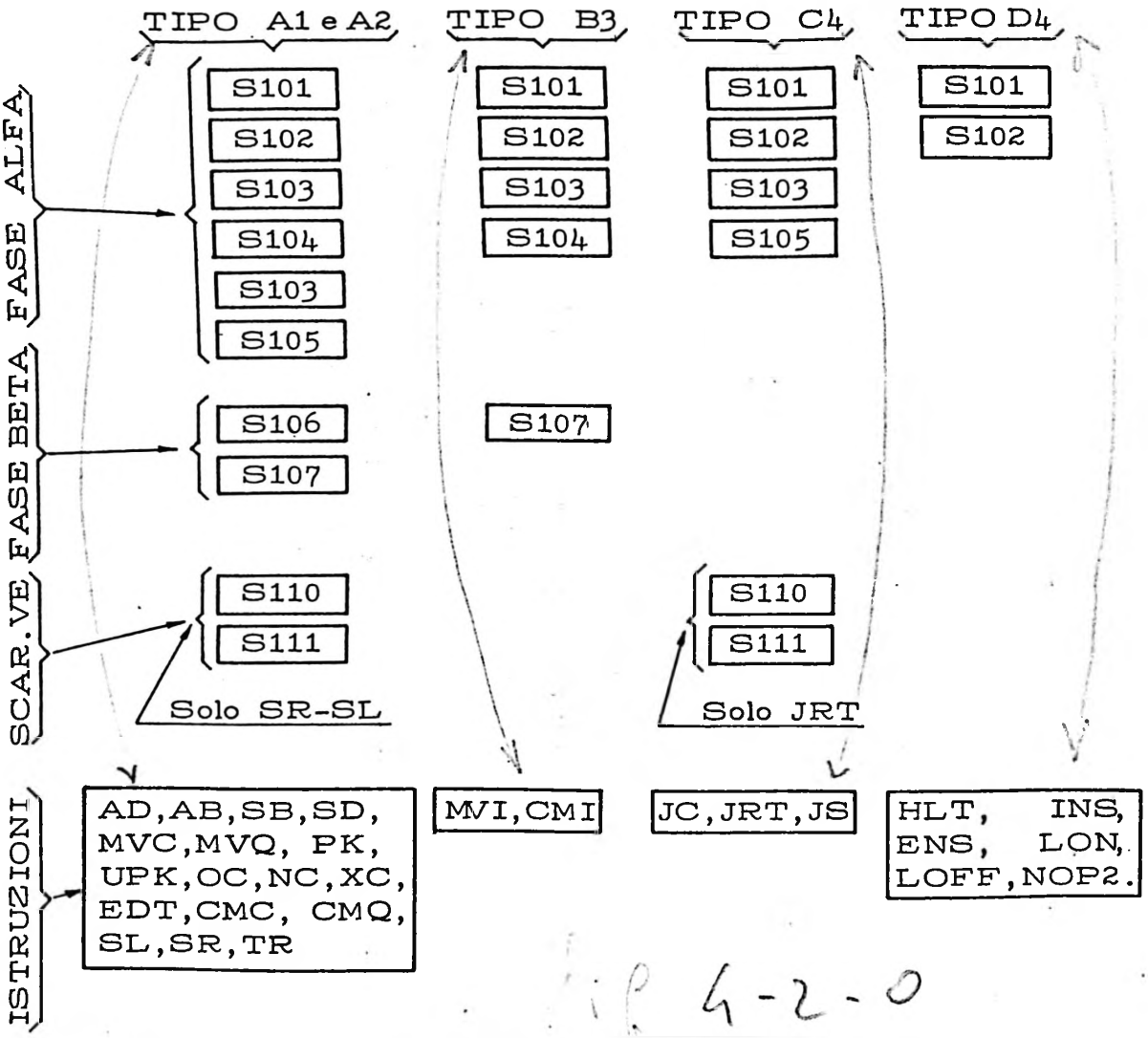


fig 4-2-0

DOMANDE

a) - Quanti e quali sono gli stati della fase beta nelle istruzioni interne ? 2 — 106 . 107

b) - Qual'é lo scopo dello scaricamento VE e da quali istruzioni interne viene utilizzato ?

A1 : A2 - C4 . di memorizzare

c) - Tutte le istruzioni interne hanno la fase beta ?

NO

d) - Le istruzioni interne che hanno la fase beta possono sfruttare sempre entrambi gli stati S106 e S107 ?

NO

RISPOSTE

a) - Sono due, lo S106 e lo S107.

b) - Lo scopo dello scaricamento VE é quello di memorizzare nelle posizioni 254-255 di memoria un indirizzo. Lo scaricamento VE é utilizzato dalla JRT, SR e SL.

c) - No, hanno la fase beta solo le istruzioni di tipo A1, A2 e B3.

d) - No, solo le istruzioni di tipo A1 e A2 possono sfruttare, durante la fase beta gli stati S106 e S107; le istruzioni del tipo B3 sfruttano solo lo SS107.

LEZIONE 5

Tempo di studio
1 ora

5. ISTRUZIONI DEL GRUPPO A1

5.1. INTRODUZIONE ALLA SIMBOLOGIA UTILIZZATA NELLE SEQUENZE E NEI "TIMNG CHARTS"

Per semplificare l'esposizione degli eventi nei diversi STATI, si sono usati vari simboli il cui significato é quì di seguito riportato :

F - Codice di funzione

F' - Carattere di complemento al codice di funzione

C - Costante

L - Lunghezza del campo (8 Bit; L Max= 256 crt.)

LE - Lunghezza del campo E (4 Bit; LE Max =16 crt.)

LA - Lunghezza del campo A (4 Bit; LA Max=16 crt.)

IE^+ - Carattere più significativo dell'indirizzo del campo E

IE^- - Carattere meno significativo dell'indirizzo del campo E

IA^+ - Carattere più significativo dell'indirizzo del campo A

IA^- - Carattere meno significativo dell'indirizzo del campo A

A - Termine posto nel campo E

B - Termine posto nel campo A

M - Memoria

1^i - Configurazione di tutti i bit a livello "1"

0^i - Configurazione di tutti i bit a livello " 0"

RO^+ - Parte più significativa del registro RO (Bit 07 + 04)

RO^- - Parte meno singificativa del registro RO (Bit 03 + 00)

RA^+ - Parte più significativa del registro RA (Bit 07 +04)

RA^- - Parte meno significativa del registro RA (Bit 03 + 00)

VA^+ - Parte più significativa del registro VA (Bit 1 x* + 08)

VA^- - Parte meno significativa del registro VA (Bit 07 + 00)

VE^+ - Parte più significativa del registro VE (Bit 1 x* + 08)

VE^- - Parte meno singificativa del registro VE (Bit 07 + 00)

U.A. - Unità Aritmetica

L.d.R. - Linea di Ritardo

U.C. - Unità Centrale

$\oplus$ - Or Logico

C.TA - Conta

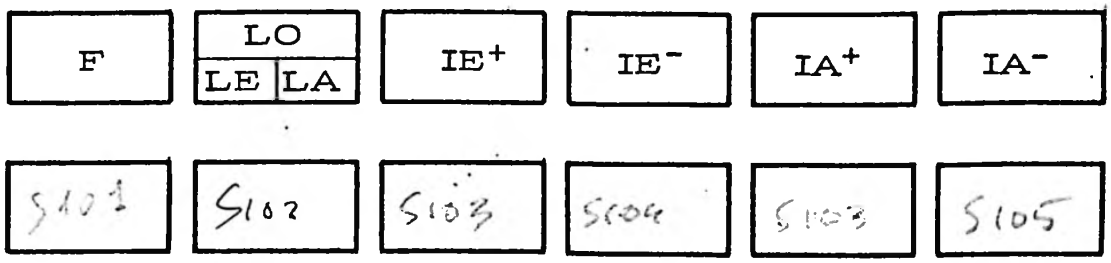
L^+ - Parte più significativa del registro LO (Bit 12/10 + 08)

L^- - Parte meno significativa del registro LO (Bit 07 + 00)

* Per X si intendono valori da 0 a 4.

5.2 ISTRUZIONI DI CLASSE ARITMETICA GRUPPO A1

A questo gruppo appartengono le istruzioni così compilate :



DOMANDE

Scrivere nei rettangoli sottostanti ai singoli caratteri dell'istruzione, il nome dello STATO che durante la fase alfa interessa il rispettivo codice, quindi rispondere ai seguenti punti :

a) - In quale codice sono espressi gli indirizzi delle istruzioni ? esadecimale

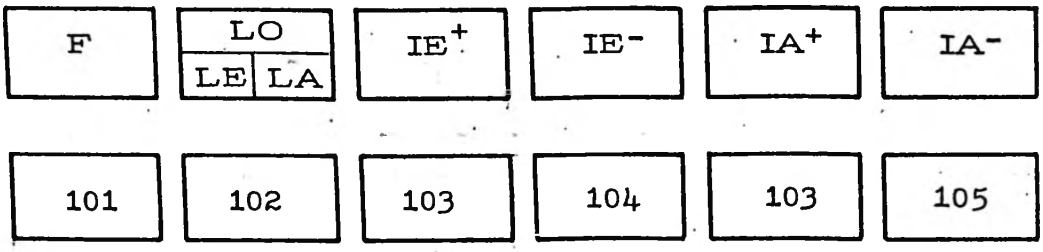
b) - Gli indirizzi si riferiscono alla posizione più significativa o meno significativa degli operandi ? Decrescenti

c) - Che lunghezza massima possono avere gli operandi ? AD · SD

d) - Qual'é il valore massimo che può assumere LE e LA ?
255 in rete
16 in Decimale (A1)
15

e) - Se LA = 0 e LE = 0 quanti caratteri per campo si elaborano ?
1-1

RISPOSTE



a) - Gli indirizzi sono espressi in codice binario e rappresentati in esadecimale.

b) - Alle posizioni meno significative degli operandi.

c) - La lunghezza massima può essere di 16 caratteri.

d) - 15, poiché il loro valore + 1 esprime le lunghezze dei campi .

e) - Uno.

L'ELENCO DELLE ISTRUZIONI APPARTENENTI ALLA CLASSE ARITMETICA E' IL SEGUENTE :

ISTR.	SIGNIFICATO	CODICE esadecim.	CODICE (binario)							
MVQ	Trasferimento num.	F / 8	1	1	1	1	1	0	0	0
CMQ	Confronto numerico	F / 9	1	1	1	1	1	0	0	1
AD	Addizione decimale	F / A	1	1	1	1	1	0	1	0
SD	Sottrazione decimale	F / B	1	1	1	1	1	0	1	1
AB	Addizione binaria	F / E	1	1	1	1	1	1	1	0
SB	Sottrazione binaria	F / F	1	1	1	1	1	1	1	1
			07	06	05	04	03	02	01	00

5.3. Analizzando attentamente gli schemi degli STATI generali della fase alfa esposti in precedenza, si compili STATO per STATO, il diagramma di flusso rappresentato nella pagina seguente (Fig. 5.3.1).

NELLA PARTE CENTRALE DEVONO ESSERE RIPORTATE SOLO, L'OPERAZIONE O LE OPERAZIONI ELEMENTARI PRINCIPALI CHE SI GENERANO IN QUELLO STATO.

NELLA PARTE A DESTRA SI DEVE INDICARE IL COMANDO O I COMANDI RELATIVI ALL' EVENTO CORRISPONDENTE.

Nel primo STATO si deve indicare da quale altro STATO si arriva e nell'ultimo a quale altro si va.

In Fig. 5.3.2 si controlli quanto eseguito nella figura 5.3.1.

5.4. Nelle pagine seguenti sono riportati , STATO per STATO esempi di "TIMING - CHARTS" nei quali si indicano :

- Gli EVENTI
- i COMANDI che generano gli eventi .
  I comandi sono indicati con

COXXZY

dove XX é il numero del comando (00 + 94) generato dalla matrice logica.

Z = N o D e indica con N il valore negato e con D il valore diritto del comando, Y 0 o 1 a seconda se il comando é utilizzato a 5 o a 0 volt.

Per esempio con

CO02NO

si indica che il comando é il CO02 e genera l'evento quando il suo negato (N) é a valore 0.

I comandi CO96, CO97, CO98, CO99 sono segnali NON generati dalla matrice logica bensì generati da segnali della console di manutenzione.

- le EQUAZIONI, che indicano i segnali che determinano la formazione del rispettivo comando nel singolo STATO.
- i MASTRI che indicano il momento in cui si verifica lo evento nello STATO

Fase Alfa

Gruppo A1

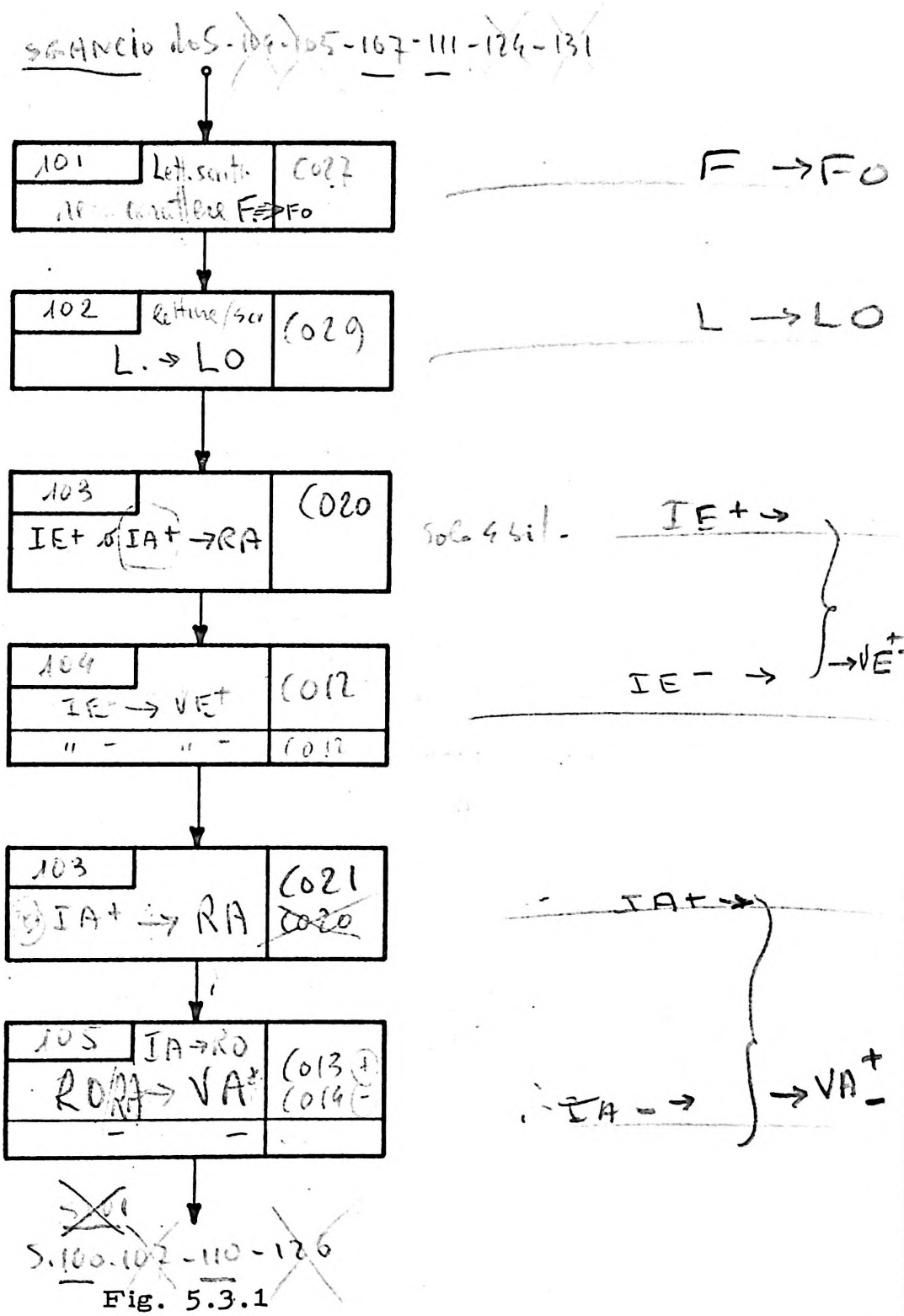
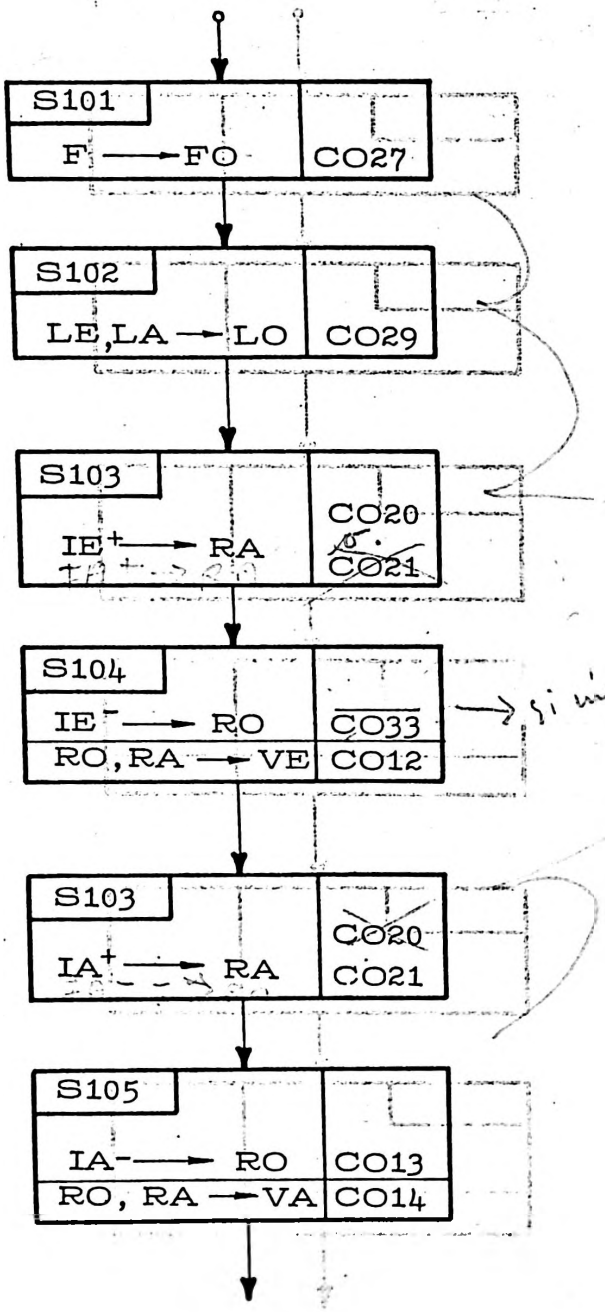


Fig. 5.3.1

Fase Alfa

Gruppo A1

Da fase beta istruzione precedente



Alla Fase Beta (S106)

Fig. 5.3.2

- il RIFERIMENTO dello schema logico generale in cui si trova il comando
- i PIN, cioé l'ubicazione di macchina in cui si trova il comando (nei nostri schemi volutamente non riportato)
- le TENSIONI cioé il valore di tensione, 5 o 0 volt, che assume il comando per generare l'evento voluto
- a pié di pagina si trovano le indicazioni delle CONDIZIONI particolari che si generano in quello STATO, inoltre le indicazioni dei F.F. di SO che si riferiscono allo STATO al quale si deve andare.

5.5. Completare negli schemi seguenti le parti mancanti consultando o gli schemi degli STATI GENERALI o la MATRICE LOGICA posta in appendice al Volume U.C.I°.

LE PARTI CHE DEVONO ESSERE RIPORTATE SONO QUELLE CHE INTERESSANO LO STATO NELL'OPERAZIONE CHE SI STA ESEGUENDO O GLI EVENTI CHE SONO CONDIZIONATI SOLO ALLO STATO IN ESAME. QUESTI ULTIMI SARANNO POSTI TRA PARENTESI.

A 1

Alcune considerazioni sono ora necessarie.

Durante lo svolgimento della fase alfa, tra le altre operazioni si verificano :

1°) Il caricamento del registro RE (S102)

2°) L'interessamento del F.F. RIPO e DIVE.

3°) L'azzeramento del F.F. COVE.

4°) Reset selezione canale STANDARD (S102).

Riguardo al caricamento di RE é da notare, che pur effettuandosi, non ha importanza per le successive elaborazioni riguardanti questo tipo di istruzioni. Anche l'azzeramento di COVE non interessa in queste istruzioni.

I F.F. DIVE e RIPO sono interessati in quanto stabiliscono il modo di operare dell'U.A. durante la fase di elaborazione.

A seconda del tipo di istruzione eseguita RIPO e DIVE assumono (S102) una diversa predisposizione che necessita sempre tener presente durante l'esecuzione della fase beta.

Ciò é necessario soprattutto per le istruzioni che durante la fase di esecuzione interessano L'U.A.

Il reset della selezione del canale STANDARD interessa durante le operazioni esterne.

ISTRUZIONE / INSTRUCTION — FASE ALFA GRUPPO A1

DA/FROM Fase Beta — STATO 101 — X X 0 X 1 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Commenti
NA005	CO99D1	SIMED0	22-21		+5	0 ——→ RO
NA005	CO02N0	S100D1	210-03		0	V1 → V0
NA61•NA62	CO33D0	CO33N1	213-21		0	- M. → R0
NA015	CO02N0	S100D1	210-03		0	——— 0 → V1
NA015	CO27N0	S101D1	212-07		0	——— 0 → F0
NA535	CO27N0	S101D1	212-07		0	- R0 → F0
NA63•NA68						
NA63•NA68	CO46D0	CO33N1 — R0 → M	220-34		0	- Sovrà. check - Manuale
NA04N	CO02N0	S100D1	210-03		0	- Conta V1
NA056	C113N0	SE56N1	223-21		0	- Reset S0.03

ALLO STATO/TO THE STATE — 102 X X 0 1 0 0 1 0

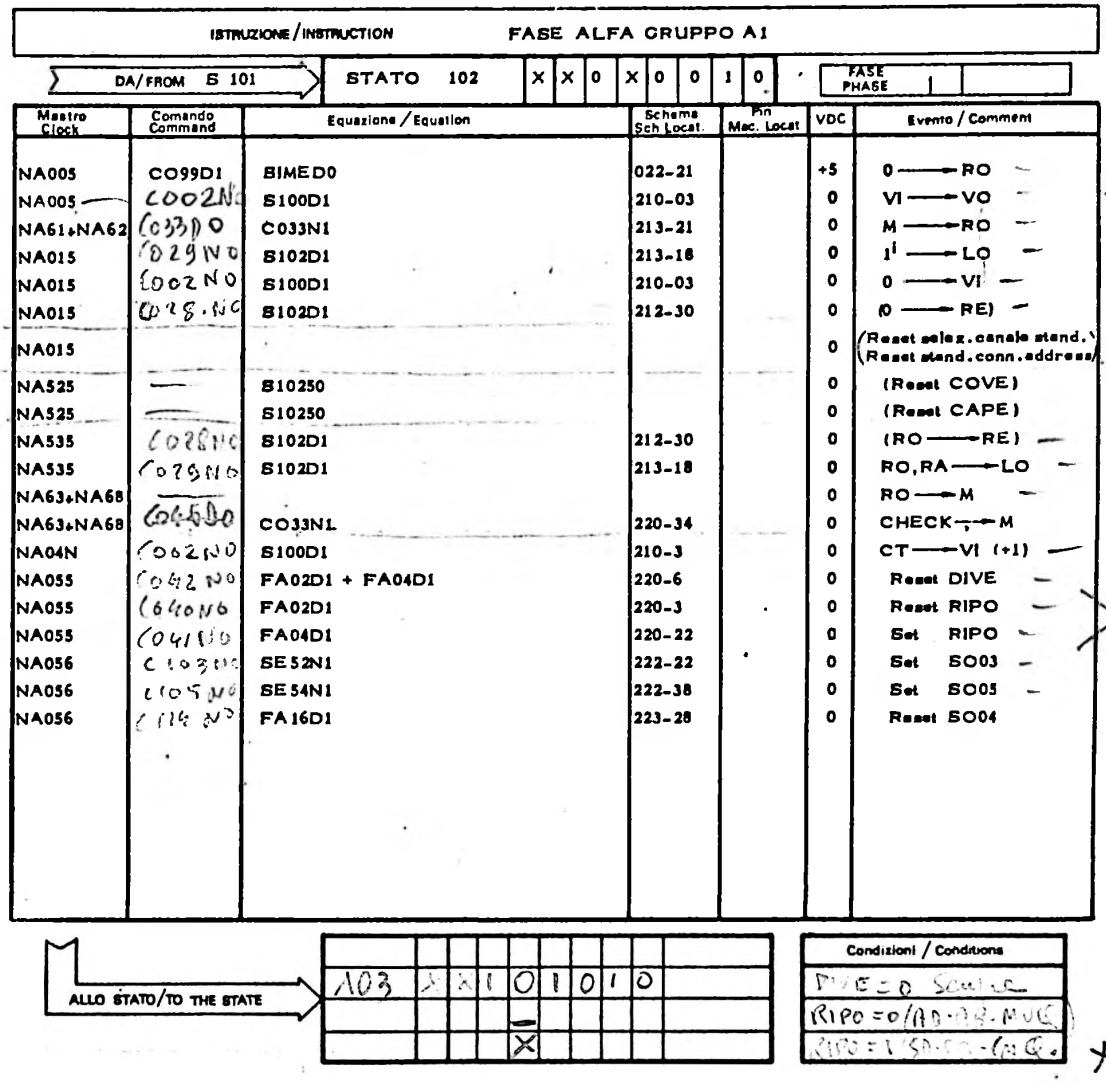
Condizioni / Conditions

Fig. 5.5.1

C	Evento / Comment
	0 ⟶ RO VI ⟶ VO M ⟶ RO 0 ⟶ VI 0 ⟶ FO RO ⟶ FO RO ⟶ M CHECK ⟶ M CT ⟶ VI(+ 1) RESET SO03

S102	X	X	0	X	0	0	1	0	

Fig. 5.5.2



ISTRUZIONE / INSTRUCTION: FASE ALFA GRUPPO A1

DA/FROM S 101 — STATO 102 — X X 0 X 0 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	BIMED0	022-21		+5	0 ⟶ RO
NA005	C002N0	S100D1	210-03		0	VI ⟶ VO
NA61÷NA62	C033D0	C033N1	213-21		0	M ⟶ RO
NA015	C029N0	S102D1	213-18		0	1 ⟶ LO
NA015	C002N0	S100D1	210-03		0	0 ⟶ VI
NA015	C028N0	S102D1	212-30		0	0 ⟶ RE)
NA015					0	(Reset selez. canale stand. / Reset stand. conn. address)
NA525	—	S10250			0	(Reset COVE)
NA525	—	S10250			0	(Reset CAPE)
NA535	C028N0	S102D1	212-30		0	(RO ⟶ RE)
NA535	C029N0	S102D1	213-18		0	RO,RA ⟶ LO
NA63÷NA68					0	RO ⟶ M
NA63÷NA68	C045D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	C002N0	S100D1	210-3		0	CT ⟶ VI (+1)
NA055	C042N0	FA02D1 + FA04D1	220-6		0	Reset DIVE
NA055	C040N0	FA02D1	220-3		0	Reset RIPO
NA055	C041D0	FA04D1	220-22		0	Set RIPO
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C105N0	SE54N1	222-38		0	Set SO05
NA056	C114N0	FA16D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE: 103 — X X 1 0 1 0 1 0

Condizioni / Conditions:
DIVE = 0 Sonde
RIPO = 0 / AD-AS-MUC
RIPO = 1 / SP-CO-(n.Q.)

Fig. 5.5.3

Comando Command
CO99D1
CO02N0
CO33D0
CO29N0
CO02N0
CO28N0
CO28N0
CO29N0
CO46D0
CO02N2
CO42N0
CO40N0
CO41N0
C103N0
C105N0
C114N0

S103	X	X	1	0	1	0	1	0	

Condizioni / Conditions	
DIVE=0	SEMPRE ALWAYS
RIPO=0	AD,AB,MVQ
RIPO=1	SD,SB,CMQ

Fig. 5.5.4

S103

ISTRUZIONE / INSTRUCTION — FASE ALFA GRUPPO A1

DA/FROM S 102 — STATO 103 — X X 1 0 1 0 1 0 — FASE PHASE 1

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIME DO	022-21		+5	O ⟶ RO
NA005	CO02N0	S100.6.1	210-3		0	VI ⟶ VO
NA61•NA62	CO33D0	CO33N.1	213-21		0	M ⟶ RO
NA015	CO02N0	S100.5.M.	210-3		0	O ⟶ VI
NA015	CO19N0		212-23		0	O ⟶ RA
NA015	CO49N0		220-15		0	(Abilitazione set / set enable) COVE
NA535	CO20N0		212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0		212-5		0	$RO^+ \longrightarrow RA^+$
NA63•NA68						RO ⟶ M
NA63•NA68	CO46D0		220-34		0	CHECK ⟶ M
NA04N	CO02N0		210-3		0	CT ⟶ VI (+1)
NA056	C113N0		223-21		0	Reset SC03

IE+ (IA+) RA

ALLO STATO/TO THE STATE — 104 X X 1 0 1 0 1 0

Condizioni / Conditions: Semi

Fig. 5.5.5

Equazione / Equation
SIMED0
S100D1
CO33N1
S100D1
SE51N1
S103D1
S103D1
S103D1
CO33N1
S100D1
SE56N1

S104	X	X	1	0	0	0	1	0	

Fig. 5.5.6

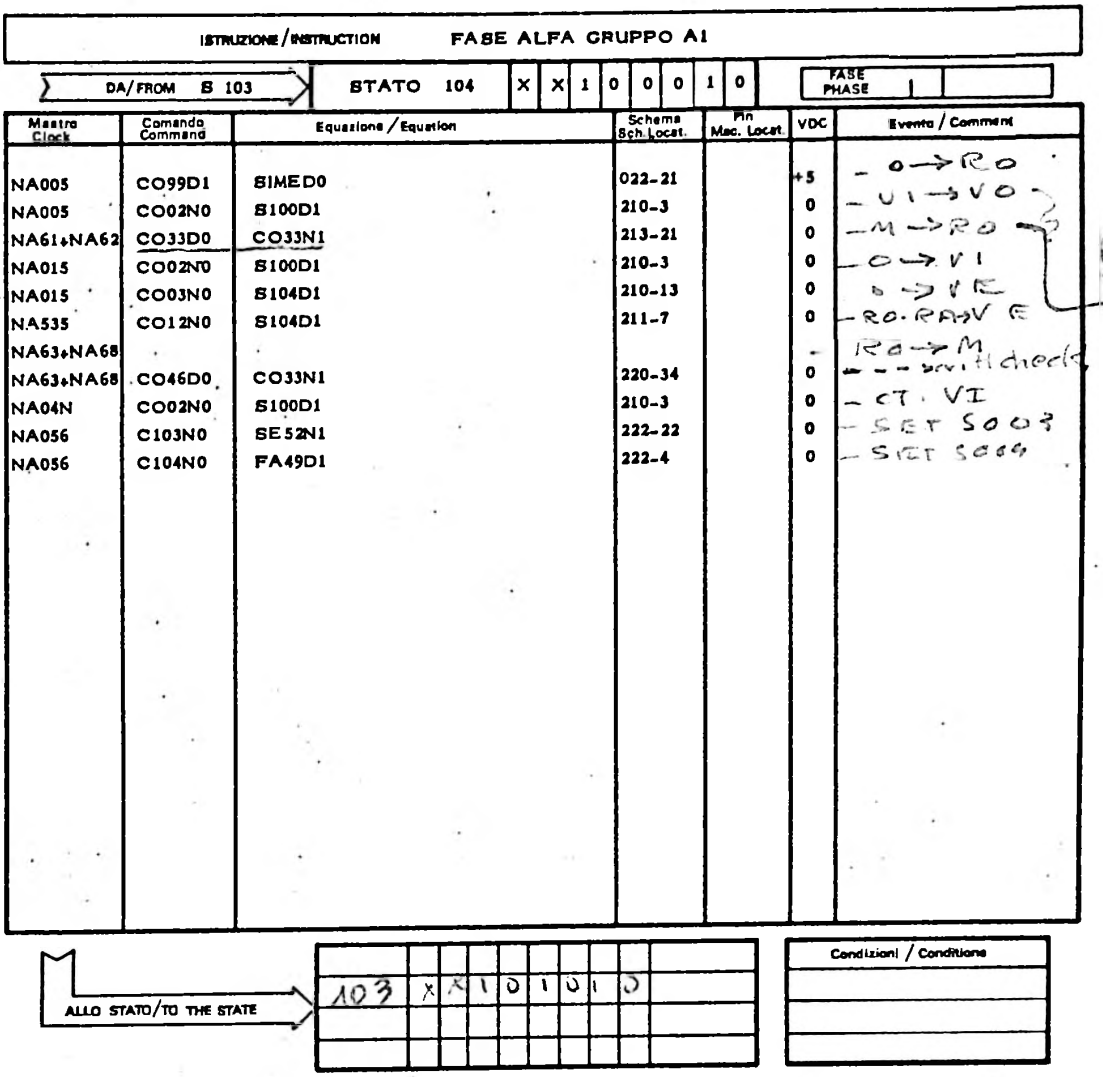
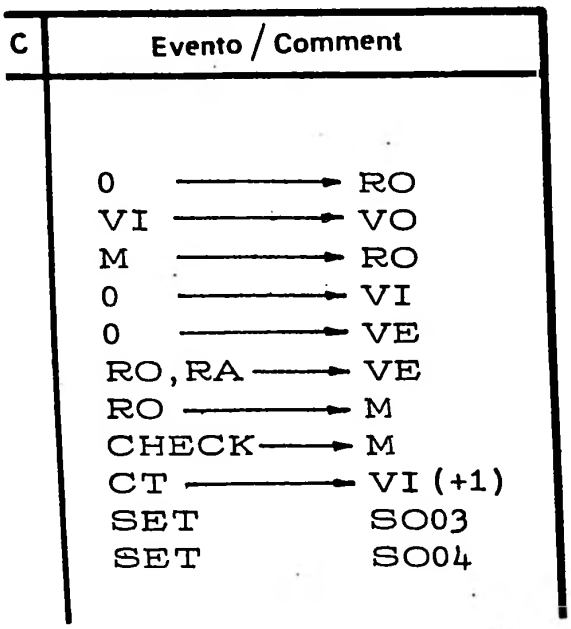
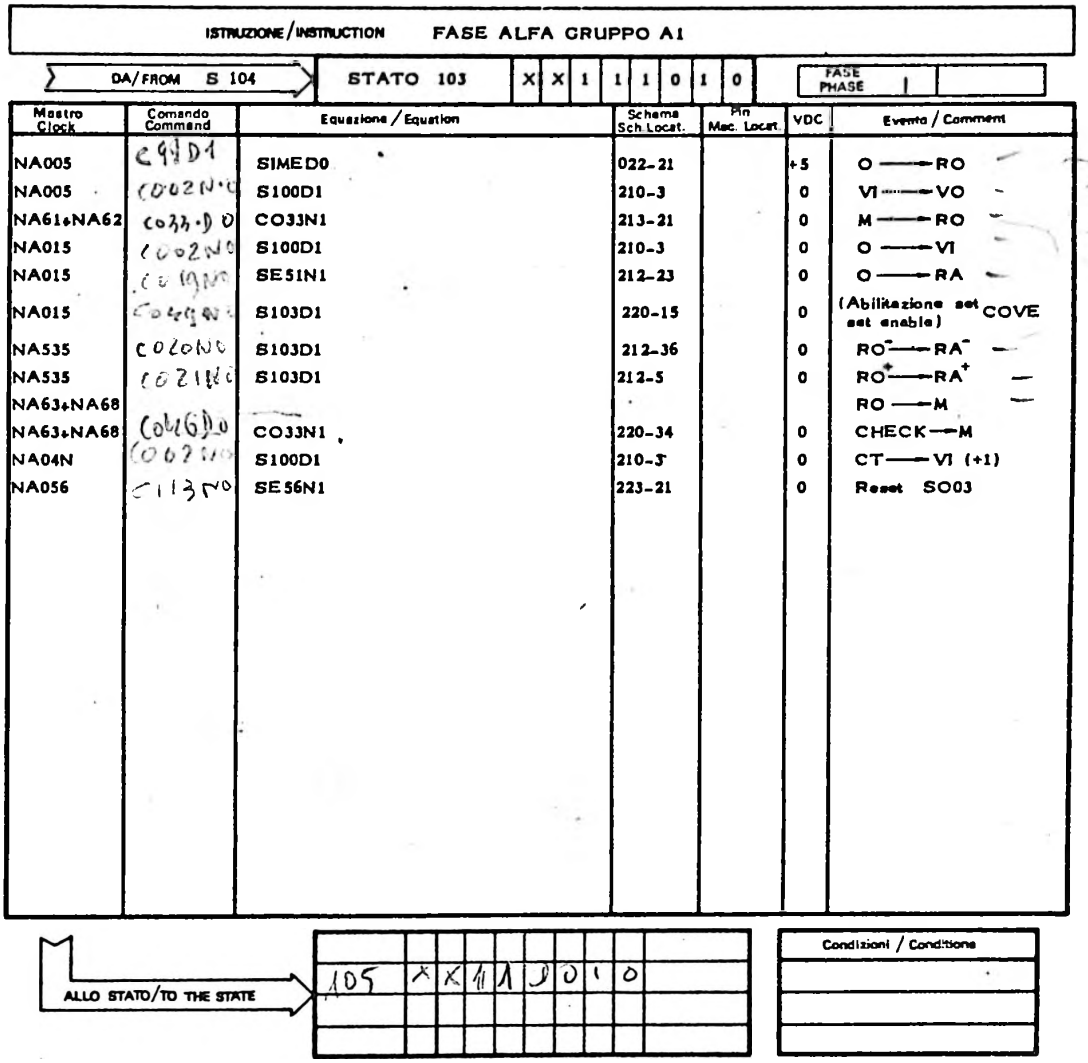

ISTRUZIONE / INSTRUCTION
FASE ALFA GRUPPO A1
DA/FROM S 103
STATO 104
X X 1 0 0 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 022-21 +5 - 0 → R0
NA005 CO02N0 S100D1 210-3 0 - U1 → V0
NA61•NA62 CO33D0 CO33N1 213-21 0 - M → R0
NA015 CO02N0 S100D1 210-3 0 - 0 → V1
NA015 CO03N0 S104D1 210-13 0 - 1 → VE
NA535 CO12N0 S104D1 211-7 0 - R0 · RA ∨ E
NA63•NA68 - RA → M
NA63•NA68 CO46D0 CO33N1 220-34 0 - - - - switch check
NA04N CO02N0 S100D1 210-3 0 - CT · VI
NA056 C103N0 SE52N1 222-22 0 - SET S003
NA056 C104N0 FA49D1 222-4 0 - SET S004
RA IF → VE
ALLO STATO/TO THE STATE
103 X X 1 0 1 0 1 0
Condizioni / Conditions

Fig. 5.5.7



S103	X	X	1	1	1	0	1	0	

Fig. 5.5.8



ISTRUZIONE / INSTRUCTION: FASE ALFA GRUPPO A1

DA / FROM: S 104 — STATO 103: X X 1 1 1 0 1 0 — FASE / PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	C9TD1	SIMED0	022-21		+5	O ——→ RO
NA005	C002N0	S100D1	210-3		0	VI ·····→ VO
NA61÷NA62	C033D0	CO33N1	213-21		0	M ——→ RO
NA015	C002N0	S100D1	210-3		0	O ——→ VI
NA015	C019N0	SE51N1	212-23		0	O ——→ RA
NA015	C04G0	S103D1	220-15		0	(Abilitazione set set enable) COVE
NA535	C020N0	S103D1	212-36		0	RO^{-} ——→ RA^{-}
NA535	C021N0	S103D1	212-5		0	RO^{+} ——→ RA^{+}
NA63÷NA68						RO ——→ M
NA63÷NA68	C0G6D0	CO33N1	220-34		0	CHECK ——→ M
NA04N	C002N0	S100D1	210-3		0	CT ——→ VI (+1)
NA056	C113N0	SE56N1	223-21		0	Reset SO03

ALLO STATO / TO THE STATE: 105 X X 1 1 1 0 1 0

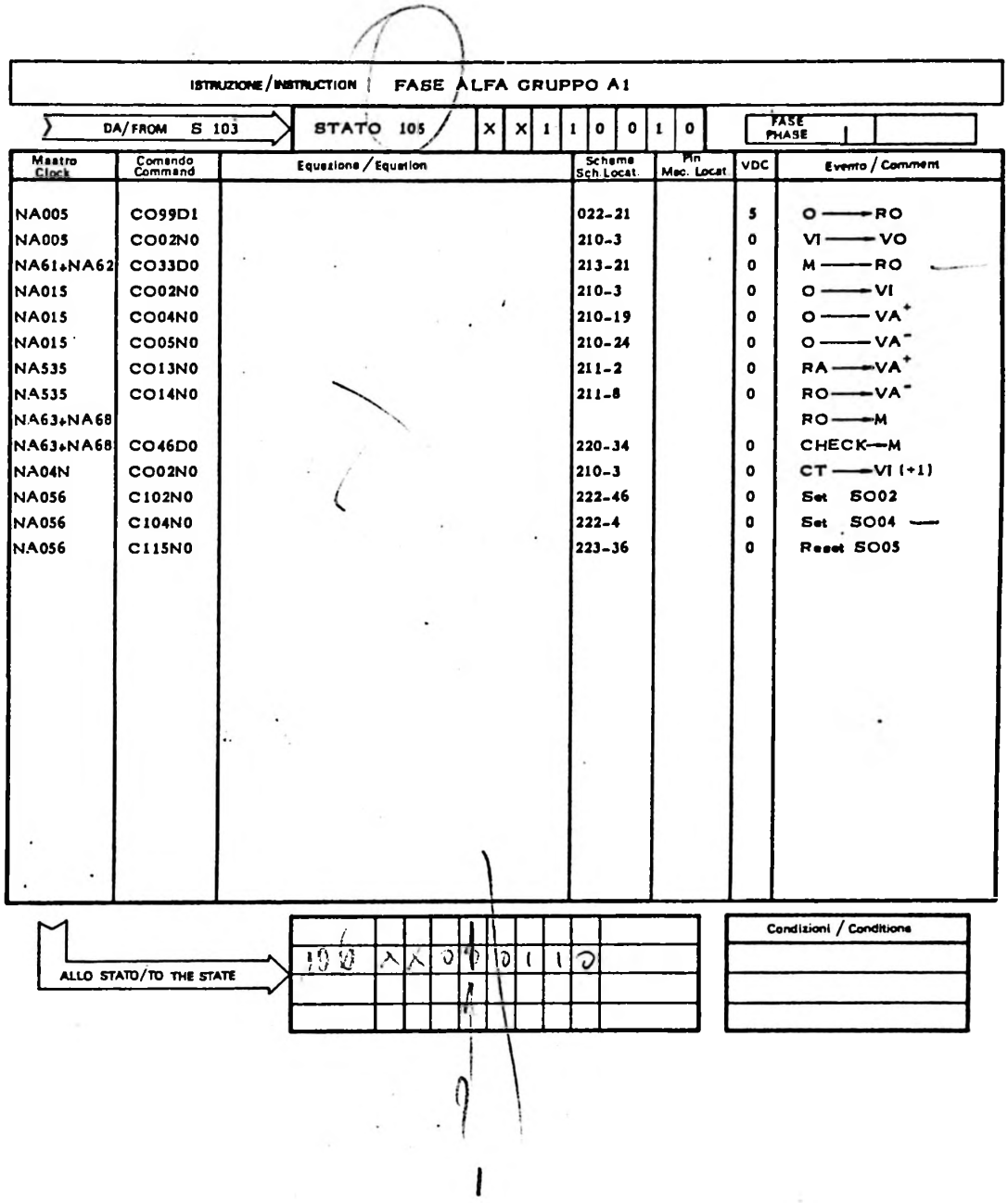
Condizioni / Conditions

Fig. 5.5.9

Comando Command
CO99D1
CO02N0
CO33D0
CO02N0
CO19N0
CO49N0
CO20N0
CO21N0
CO46D0
CO02N0
C113N0

S105	X	X	1	1	0	0	1	0	

Fig. 5.5.10



ISTRUZIONE / INSTRUCTION | FASE ALFA GRUPPO A1

DA/FROM S 103 | STATO 105 | X X 1 1 0 0 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1		022-21		5	O ⟶ RO
NA005	CO02N0		210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0		213-21		0	M ⟶ RO
NA015	CO02N0		210-3		0	O ⟶ VI
NA015	CO04N0		210-19		0	O ⟶ VA^+
NA015	CO05N0		210-24		0	O ⟶ VA^-
NA535	CO13N0		211-2		0	RA ⟶ VA^+
NA535	CO14N0		211-8		0	RO ⟶ VA^-
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0		220-34		0	CHECK ⟶ M
NA04N	CO02N0		210-3		0	CT ⟶ VI (+1)
NA056	C102N0		222-46		0	Set SO02
NA056	C104N0		222-4		0	Set SO04
NA056	C115N0		223-36		0	Reset SO05

ALLO STATO/TO THE STATE | 100 X X 0 0 0 1 1 0

Condizioni / Conditions

Fig. 5.5.11

Equazione / Equation
SIMED0
S100D1
CO33N1
S100D1
S105D1
S105D1
FE12D1
FE12D1
CO33N1
S100D1 + COVED0
FA12D1
SE53N1
SE57N1

S106	X	X	0	1	0	1	1	0	Fase Beta

Fig. 5.5.12

S102 ... solo aver letto anche prec. F

DOMANDE

a) - Nella tabella seguente indicare il posizionamento avvenuto in fase alfa (S102) dei F.F. RIPO e DIVE.

ISTRUZ.	RIPO	DIVE
AD.	Res	Res
AB	Res	Res
SD	Set	Res
CMQ	Set	Res
MVQ	Res	Res

SB : set Res.

b) - Perché nelle istruzioni SD e SB, RIPO é posto a valore 1 ?

Settato — Se le condizioni + 1 Rilev - input

c) - Quale valore assume RIPO nella fase alfa della CMQ perché ?

in set incluso ....

d) - Al termine della fase alfa qual'é la disposizione degli organi di macchina (VE, VA ecc) ? F → F0 L → L0

VE = valore corrente VA = valore corrente

VA = valore calcolato dalla precedente istruz.

e) - Dopo l'ultimo STATO della fase alfa quale STATO si esegue ?

a S100

RISPOSTE

a) -

ISTRUZ.	RIPO	DIVE
AD	0	0
AB	0	0
SD	1	0
SB	1	0
CMQ	1	0
MVQ	0	0

b) - Nelle istruzioni di sottrazione RIPO viene sempre forzato a 1 poiché l' U.A. esegue le sottrazioni come somme del minuendo più il negato del sottraendo più 1. (Vedasi Volume I° di U.C.).

c) - RIPO=1 perché il confronto viene eseguito come differenza tra caratteri (se uguali U.A.= 0).

d) - F ⟶ FO

LE , LA⟶LO

IE^+ , IE^-⟶VE

IA^+ , IA^-⟶VA

e) - Lo S106.

LEZIONE 6

Tempo di studio
30 minuti

6. FASE BETA DELLE ISTRUZIONI MVQ E CMQ

6.1. Poiché per ogni singola istruzione la fase beta differisce dalle altre, é necessario considerarle separatamente. Si inizia lo studio con la seguente istruzione.

MVQ - TRASFERIMENTO NUMERICO

In questa istruzione si esegue il trasferimento dei 4 bit meno significativi di ogni carattere del campo A nel campo E.

Dopo aver compilato il flow di Fig. 6.1.1 secondo il metodo indicato in precedenza, utilizzando i relativi TIMING CHARTS riportati nelle Figg. 6.1.3 e 6.1.4, rispondere alle seguenti :

DOMANDE

a) - Quali bit dei caratteri vengono trasferiti ?
meno significativi 00÷6

b) - Il campo A, a fine elaborazione come si trova ?
intatto -

c) - Che cosa si trova nel campo E a fine elaborazione ?
i B.t. meno significativi copiati dal campo A.

d) - Se i caratteri sono tutti uguali a zero che segnalazione si ha ? non scrive il DIVE

e) - Quali STATI si devono percorrere per eseguire la elaborazione ? 106 - 107

f) - Se la lunghezza del campo A é minore di quella del campo E cosa si verifica ?

introduzione zero in E

g) - Qual'é l'evento principale del primo STATO percorso ? B → RA

h) - Qual'é l'evento principale del secondo STATO percorso ? A - RO

i) - Da quale altro STATO si arriva all'inizio dell'elaborazione ? S 105

l) - A quale STATO si va alla fine dell'elaborazione ?

S. 101 fasi 2

m) - Quando ha fine l'elaborazione ?.

fine campo E

Controllare nelle pagine seguenti quanto affermato , e la compilazione del flow.

F LA/LE IE:1 - IA:+ -

Mux 16 caratteri

Mnemonico -

MVQ

Fase Beta

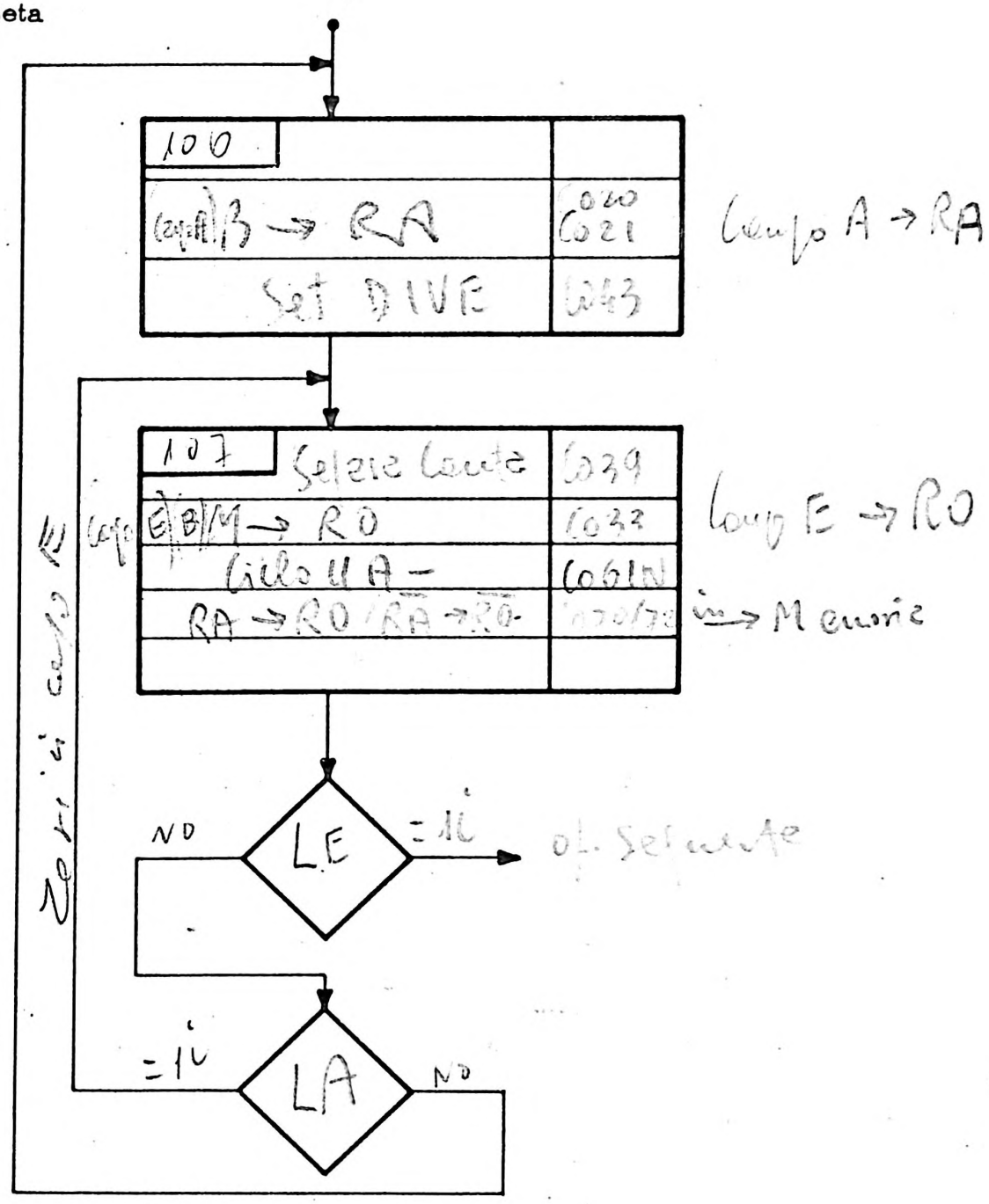


Fig. 6.1.1

MVQ

Fase Beta

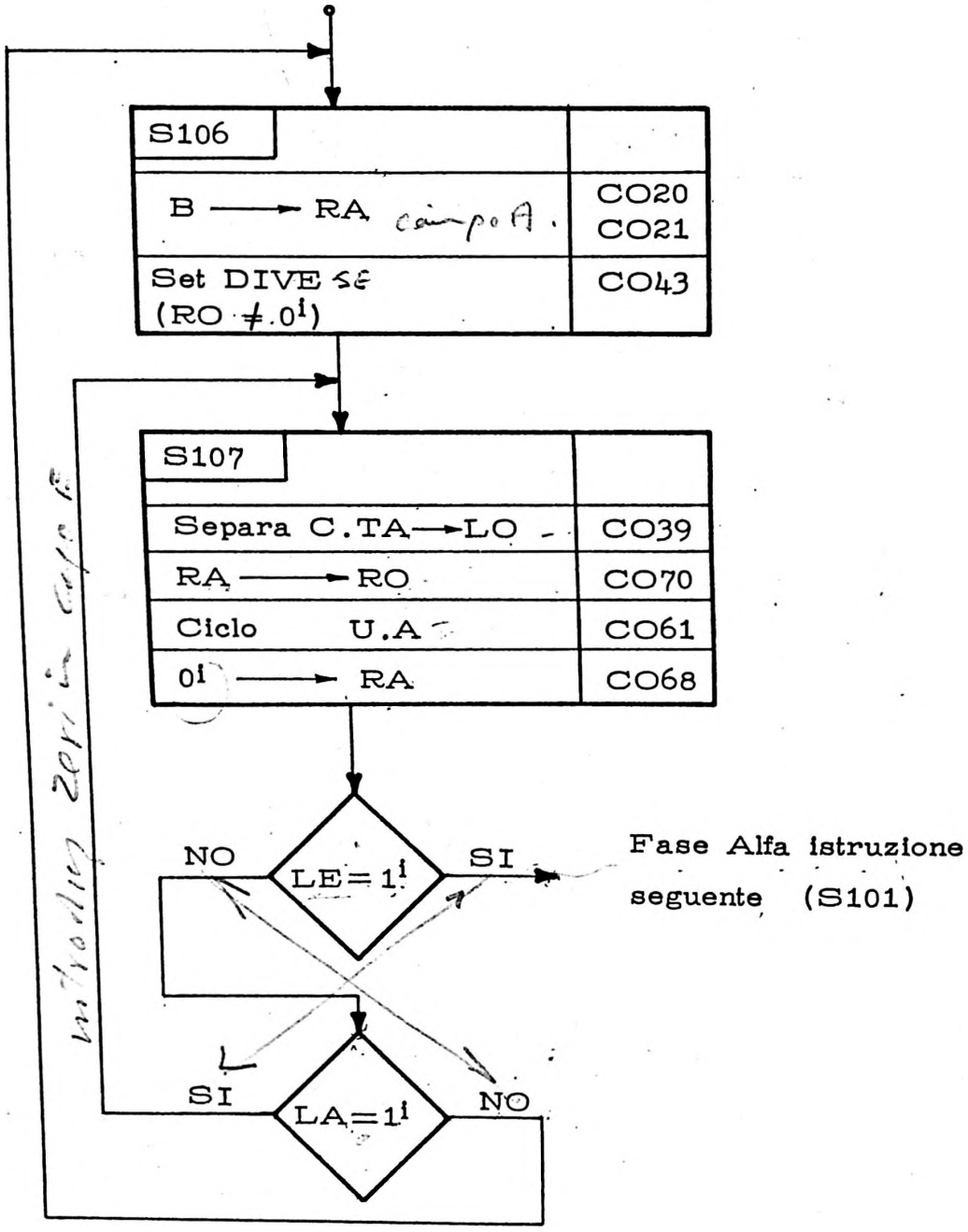


Fig. 6.1.2

ISTRUZIONE / INSTRUCTION MVQ

DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——— RO
NA005	CO01N0	S106D1	210-17		0	VA ——— VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ——— RO
NA015	CO19N0	FA23D1	212-23		0	O ——— RA
NA015	CO01N0	S106D1	210-17		0	O ——— VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63÷NA68						RO ——— M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ——— M
	CO1050	CO1041	211-32		0	Conta Decreasing — Meno Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ——— VA
NA055	CO43N0	FA26D1	220-19		0	Set DIVE
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

B → RA

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 : LA = 0
DIVE = 1 : RO ≠ 0

Fig. 6.1.3

ISTRUZIONE / INSTRUCTION: MVQ

DA/FROM S 106 | STATO 107 | X X X X 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		45	O ⟶ RO
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable ⟶ LO
	CO39D1	S10760 . F10150	213-43		5	Separa Conta Counting Separately ⟶ LO
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting ⟶ LO
NA015	CO00N0	S107D1	210-5		0	O ⟶ VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO68N0	FA51D1	221-40		0	O^1 ⟶ RA
NA085	CO70N0	FA51D1	221-7		0	RA^- ⟶ RO^-
NA085	CO72N0	FA51D1	221-18		0	$\overline{RA}$ ⟶ $\overline{RO}$
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
	CO1050	CO1041	211-32		0	Conta Decreasing Meno Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting ⟶ VE
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE=1^i
S 106	X	X	X	X	0	1	1	0	(LE=1^i)/(SO04=1)
S 107	X	X	X	X	1	1	1	0	(LE=1^i)/(SO04=0)

Condizioni / Conditions

Fig. 6.1.4

RISPOSTE

a) - Vengono trasferiti i bit 03-02-01-00 .

b) - Il campo A rimane intatto.

c) - I caratteri del campo E risultano composti :

- bit 03 + 00 = ai corrispondenti del campo A.
- bit 07 + 04 = agli stessi di prima.

d) - DIVE resta a 0.

e) - Lo S106 e lo S107.

f) - Il campo A viene prolungato con degli zeri e si percorre sempre lo STATO 107. Ciò perchè la lunghezza dei dati da trasferire è determinata dal campo E.

g) - Il carattere indirizzato dall'indirizzatore VA viene estratto dalla memoria, posto in RO, e da qui in RA.

h) - Il carattere indirizzato da VE viene estratto dalla memoria e posto in RO . Si ricopiano i 4 bit meno significativi di RA in RO.
Si scrive in memoria il nuovo carattere composto dai 4 bit meno significativi di campo A ed i 4 bit più significativi di campo E.

i) - Dall'ultimo stato della fase alfa (S105).

l) - Allo STATO 101 della fase alfa della istruzione seguente.

m) - Quando $LE = 1^{i}$.

6.2. CMQ - CONFRONTO NUMERICO

Si confronta la parte meno significativa dei caratteri del campo A con la rispettiva parte meno significativa dei caratteri del campo E.

Il flusso degli eventi va compilato nello schema di Fig. 6.2.1. Vanno riportati solo gli eventi, che interessano questa istruzione. Infine rispondere alle seguenti :

DOMANDE

a) - Quale parte dei caratteri si confronta ?

meno sign.

b) - Qual'é l'evento principale dello S106 ?

A → RA

c) - Quali sono gli eventi principali dello S 107 ?

Sup: CT: E → RQ = uguA = Set RI e DIVE

d) - Se il campo A é lungo meno del campo E cosa si verifica ?

compara E con zero

e) - Come si trovano alla fine dell'elaborazione il campo A ed E ?

intatti

CMQ

Fase Beta

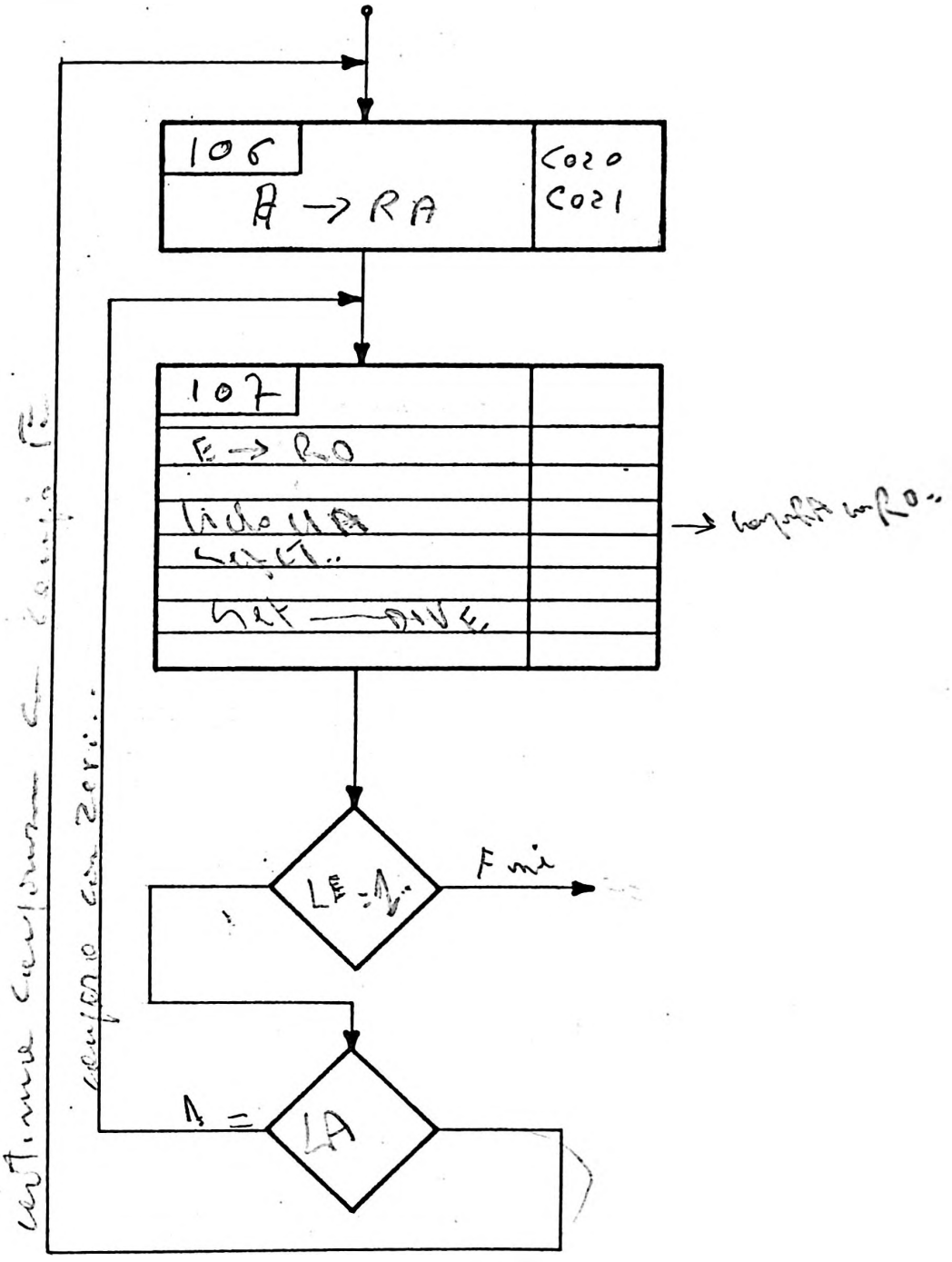


Fig. 6.2.1

CMQ

Fase Beta

Da fase alfa (S105)

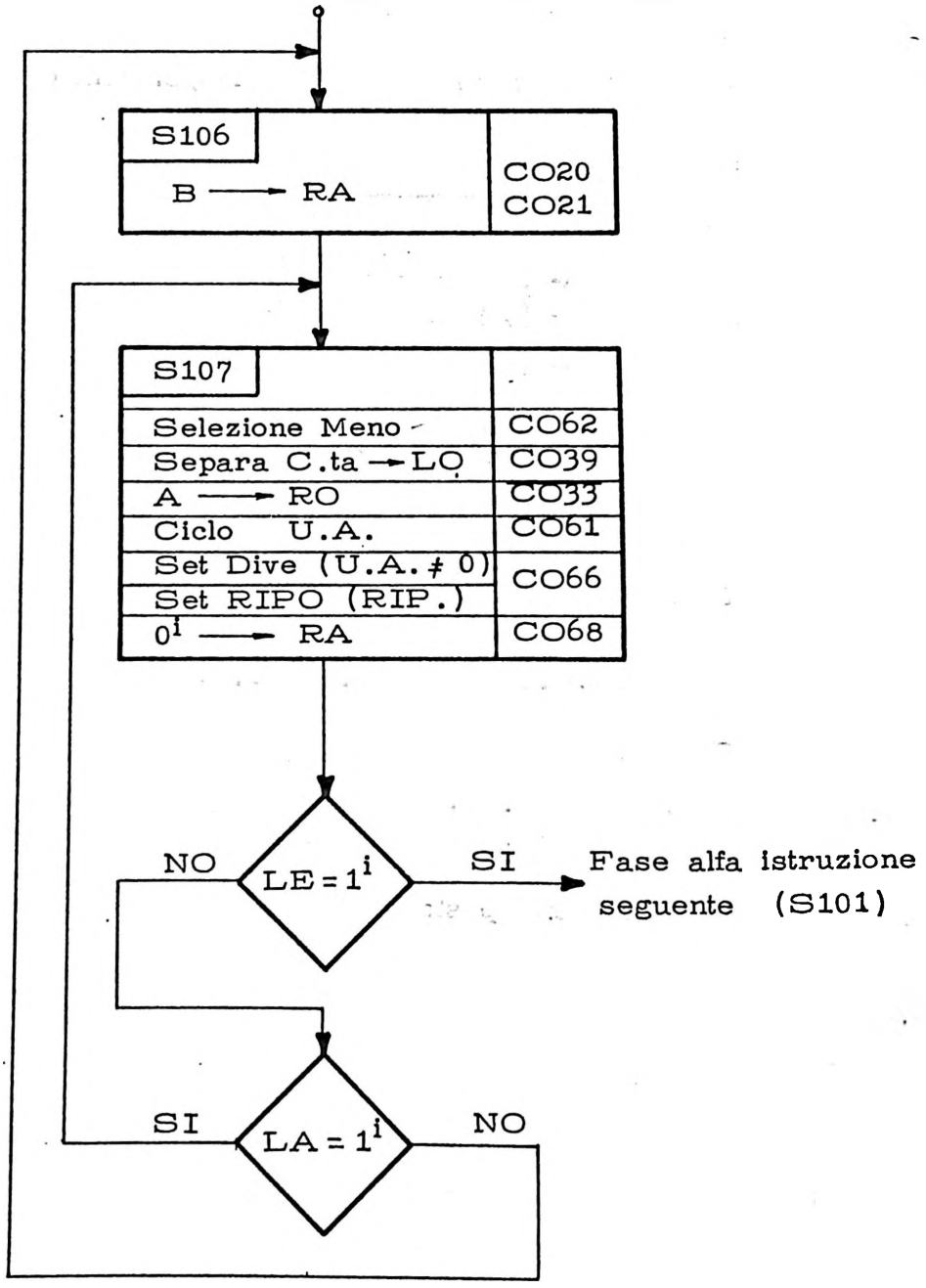


Fig. 6.2.2

Campo - E - Minuendo
Campo - A - Sottraendo
= Risultato

S102

f) - All'inizio della fase alfa come si trovano RIPO e DIVE ?

RIPO = 1, DIVE = 0 ?

.....

.....

g) - Al termine del confronto RIPO e DIVE assumono una configurazione diversa a seconda se E > A, E = A, E < A,
Indicare nella tabellina le corrispondenti configurazioni .

		DIVE	
		0	1
RIPO	0		E < A
	1	E = A	E > A

→ in Sottr se E<A occorre Ripristinare il contenuto

0 - Ris 312 = Ris. esatto.

h) - L'elaboratore come esegue il confronto ?

Sottrazione decimale

.....

.....

Con inserto di un software

i) - Come agisce l'U.A. sui dati ?

.....

.....

l) - Quando viene posto a " 1 " il flip-flop DIVE ?

.....

.....

confronto ≠ 0

ISTRUZIONE / INSTRUCTION · CMQ

DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO01N0	S106D1	210-17		0	VA → VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO19N0	FA23D1	212-23		0	O → RA.
NA015	CO01N0	S106D1	210-17		0	O → VA.
NA535	CO20N0	FA20D1	212-36		0	$RO^- \rightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \rightarrow RA^+$
NA63÷NA68						RO → M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check → M
	CO1050	CO1041	211-32		0	Conta Meno. Decreasing Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting → VA
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 : LA = 0

Fig. 6.2.3

ISTRUZIONE / INSTRUCTION: CMQ

DA/FROM S 106 — STATO 107 — X X X X 1 1 1 0 — FASE / PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
	CO62N0	FA42D1	221-2		0	Selezione Meno / Minus Counting Select
	CO63N0	FA42D1	221-12		0	Selezione Decimale / Decimal Operation
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta / Counting Enable → LO
	CO39D1	S10760 , F10150	213-43		+5	Separa Conta / Counting Separately → LO
NA005	CO00N0	S107D1	210-5		0	VE → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA01N	CO38N0	FA40D1	213-39		0	Conta / Counting → LO
NA015	CO00N0	S107D1	210-5		0	O → VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica / Arithmetic Delay
NA085	CO66N0	FA42D1	221-27		0	U.A. → RIPO
NA085	CO66N0	FA42D1	221-27		0	U.A. → DIVE
NA085	CO68N0	FA42D1	221-40		0	O' → RA
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check → M
	CO1050	CO1041	.211-32		0	Conta Meno / Decreasing Counting
NA04N	CO07N0	FE80D1	210-30		0	Conte / Counting → VE
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1.	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE = 1
S 106	X	X	X	X	0	1	1	0	(LE p 1')(SO04=1)
S 107	X	X	X	X	1	1	1	0	(LE p 1')(SO04=0)

Condizioni / Conditions
DIVE = 1 : U.A. ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 6.2.4

RISPOSTE

a) - La parte meno significativa (03 -00).

b) - Il carattere del campo A viene messo in RA.

c) - Il carattere del campo E viene messo in RO. Parte il ciclo aritmetico e si esegue la differenza tra il carattere di RO e quello di RA considerando solo i bit 03 - 00. Il risultato modifica RIPO o DIVE, e non interessa RO.
Il registro LO conta meno 1 nelle sezioni separate LE-LA.

d) - Il confronto prosegue ponendo come caratteri del campo A degli zeri in modo analogo a quanto avviene nella MVQ (lezione 5).

e) - Immutati.

f) - RIPO = 1 DIVE = 0 (per poter sottrarre).

g) - La tabella dei risultati di RIPO e DIVE é la seguente :

		DIVE	
		0	1
RIPO	0		E < A
	1	E = A	E > A

h) - Per sottrazione.

i) - Avviene una somma tra una cifra di E, il negato della cifra di A ed il bit di RIPO.
L'eventuale riporto viene considerato nel ciclo successivo poiché interessa RIPO.

l) - Se nel corso di una operazione c'é un risultato $\neq$ 0.

LEZIONE 7

Tempo di studio
30 minuti

7. FASE BETA DELLE ISTRUZIONI AD E AB

7.1. Si compili il diagramma di flusso di Fig. 7.1.1 indi tramite i TIMING CHARTS di Fig. 7.1.3 e 7.1.4 si risponda alle seguenti :

DOMANDE

a) - Cosa si verifica nello S106 ? (eventi essenziali)

$\overline{RO}$

A → RO → RA −

.....

.....

b) - Cosa si verifica nello S107 ? (eventi essenziali)

E→RO RO− → UA

RO−

RO → M −

.....

.....

c) - All'inizio dell'elaborazione come si trovano RIPO e DIVE ?

DIVE Reset. RIPO - Reset

.....

.....

d) - Come agisce l'U.A. ?

somma i Bit meno significativi

.....

.....

e) - Quando si dispone RIPO ? in Set.

con riporto −

.....

.....

f) - Quando si dispone DIVE ? ≠ 0

.....

.....

g) - Se al termine dell'operazione ($LE = 1^{1}$) si ha riporto, viene scritto in memoria tale riporto ?

NO ma viene settato RIP con OVERFL

.....

.....

h) - Nella tabellina si indichino i possibili valori di RIPO e DIVE al termine dell'elaborazione :

		DIVE	
		0	1
RIPO	0	A+E = 0	A+E ≠ 0
	1	A+E = 0 Overflow	A+E ≠ 0 Overflow

i) - In quale campo si ha il risultato ?

E

.....

.....

l) - Un eventuale segno tra gli addendi é considerato ?

NO

.....

.....

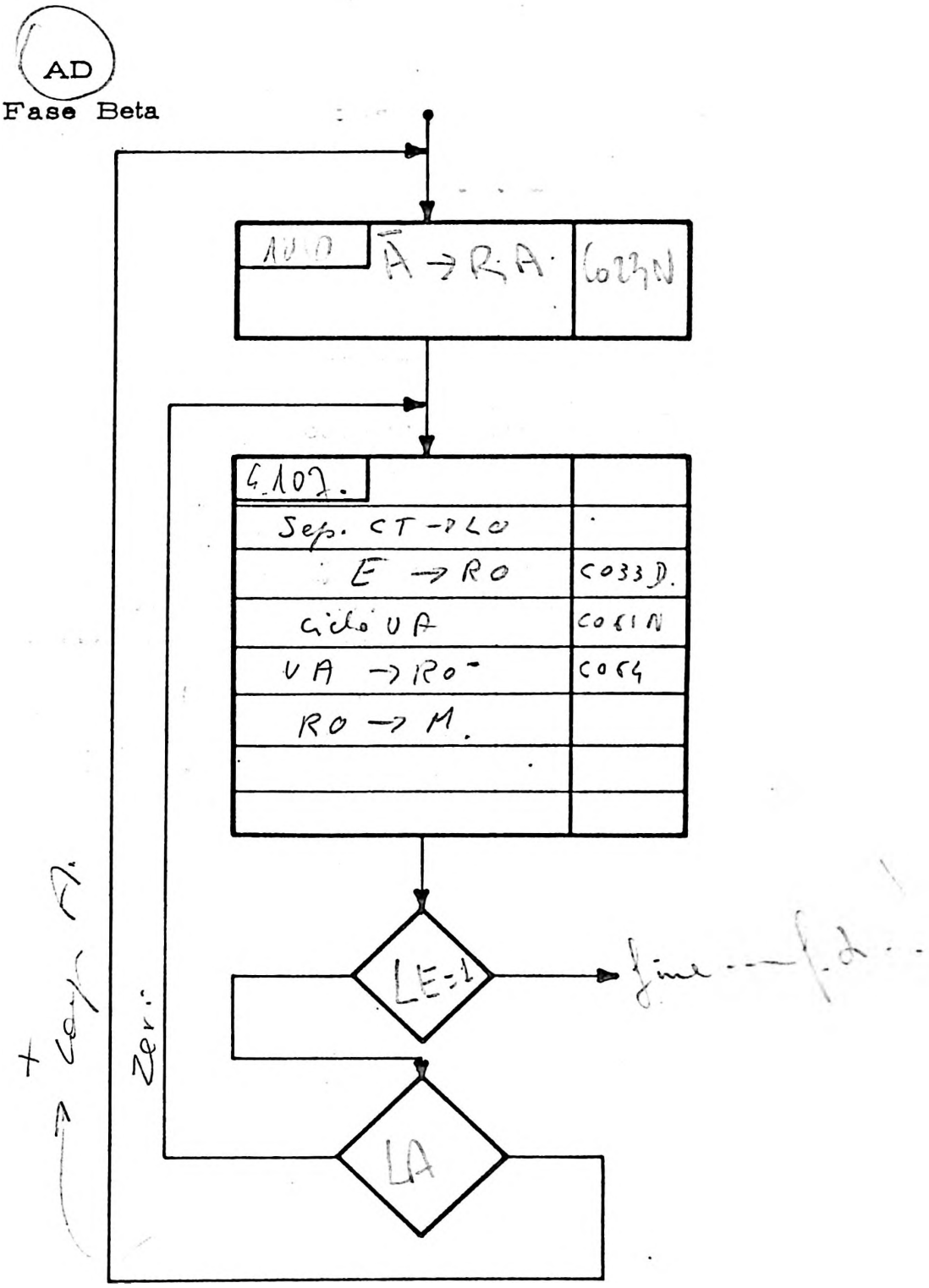


Fig. 7.1.1

AD

Fase Beta

Da Fase Alfa (S105)

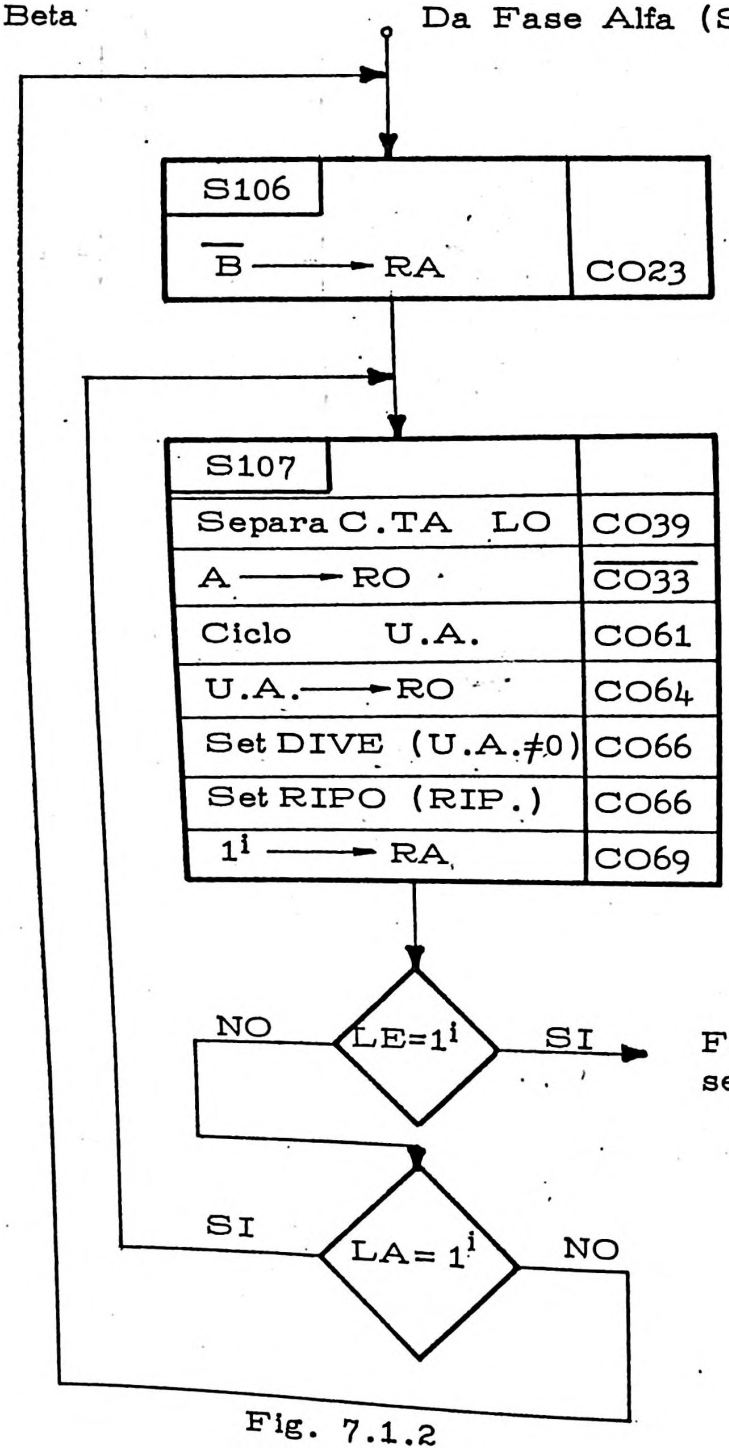


Fig. 7.1.2

ISTRUZIONE / INSTRUCTION	AD

DA/FROM S 105 | STATO 106 | X | X | 0 | 1 | 0 | 1 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1	212-23		0	O ⟶ RA
NA015	CO01N0	S106D1	210-17		0	O ⟶ VA
NA535	CO23N0	FA19D1	212-16		0	$\overline{RO}$ ⟶ RA
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
	CO1050	CO1041	211-32		0	Conta Decreasing — Meno Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ⟶ VA
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 : LA = 0

Fig. 7.1.3

ISTRUZIONE / INSTRUCTION	AD

DA/FROM S 106	STATO 107	X	X	X	X	1	1	1	0	FASE PHASE 1

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
	CO63N0	FA41D1	221-12		0	Selezione Decimale / Decimal Operation
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Enable LO / Counting
	CO39D1	S10760 . F10150	213-43		5	Separa Conta Separately LO / Counting
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA01N	CO38N0	FA40D1	213-39		0	Conta ⟶ LO / Counting
NA015	CO00N0	S107D1	210-5		0	O ⟶ VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica Delay / Arithmetic
NA085	CO64N0	FA41D1	221-17		0	U.A. ⟶ RO
NA085	CO66N0	FA41D1	221-27		0	U.A. ⟶ RIPO
NA085	CO66N0	FA41D1	221-27		0	U.A. ⟶ DIVE
NA085	CO69N0	FA52D1	221-4		0	1 ⟶ RA
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
	CO1050	CO1041	211-32		0	Conta Meno / Decreasing Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta ⟶ VE / Counting
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE = 1
S 106	X	X	X	X	0	1	1	0	(illegible)
S 107	X	X	X	X	1	1	1	0	(illegible)

Condizioni / Conditions
DIVE = 1 : U.A. ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 7.1.4

RISPOSTE

a) - I 4 bit meno significativi del carattere interessato del campo A vengono trasferiti in RA in complemento binario.

b) - Si estrae il carattere del campo E. Durante il ciclo aritmetico si esegue la somma tra il contenuto di RA $\overline{(B)}$ ed il contenuto di RO (A). Il risultato va in RO 03,00.

Il contenuto di RO viene posto in memoria all'indirizzo di VE.

LO conta -1 nelle due sezioni.
L' U.A. modifica RIPO e DIVE a seconda degli eventi generati.
Se il campo A é di lunghezza minore del campo E, e si sono già esaminati i caratteri del campo A, si prosegue l'operazione considerando a "0" i bit del campo A portando in complemento binario tutti i flip-flop di RA a "1".

c) - RIPO = 0 DIVE = 0.

d) - Esegue la somma $\overline{B}$ (RA) + A (RO) + (RIPO).

e) - RIPO trasmette i riporti alle cifre seguenti quindi si dispone ogni volta che esiste un riporto tra le due cifre elaborate.

f) - DIVE va a "1" se si genera all'uscita dell'U.A. una cifra $\neq 0$.

g) - No, ma viene data una segnalazione (over flow) sfruttabile da programma.

h -

		DIVE	
		0	1
RIPO	0	A+E = 0	A+E ≠ 0
	1	A+E=0 Overflow	A+E≠0 Overflow

$P_0 = 1^a$

i) - Nel campo E.

l) - No. L'elaboratore non tiene mai conto dei segni degli operandi.

7.2. AB - ADDIZIONE BINARIA

Si completi e quindi si analizzi il diagramma seguente (Fig. 7.2.1) e si risponda alle seguenti :

DOMANDE

a) - Quali operazioni principali si possono attribuire allo S106 ? $\overline{A} \rightarrow RA$

.....
.....

b) - Quali operazioni principali si possono attribuire allo S 107 ?

$E \rightarrow RO$ $RO \in RA$ in $VA \rightarrow RO \rightarrow M$. eventuali DIVE e f. RIPO

.....
.....

c) - All'inizio dell'elaborazione come si trovano RIPO e DIVE ? Reset. —

.....
.....

d) - Quale funzione ha RIPO?

..... di trasmettere riport.
.....

e) - Quale funzione ha DIVE ? $\neq 0$

.....
.....

f) - Se si termina l'elaborazione e si ha riporto come si segnala tale evento ? OVERFLOW

.....
.....

Finali

g) - Compilare la tabella seguente indicando per quali risultati RIPO e DIVE assumono la configurazione " 0 " e " 1 " .

		DIVE	
		0	1
RIPO	0	A + E = 0	A + E ≠ 0
	1	A + E = 0 OVERFLOW	A + E ≠ 0 OVERFLOW

h) - Un eventuale segno tra gli addendi è considerato ?

.....

.....

No

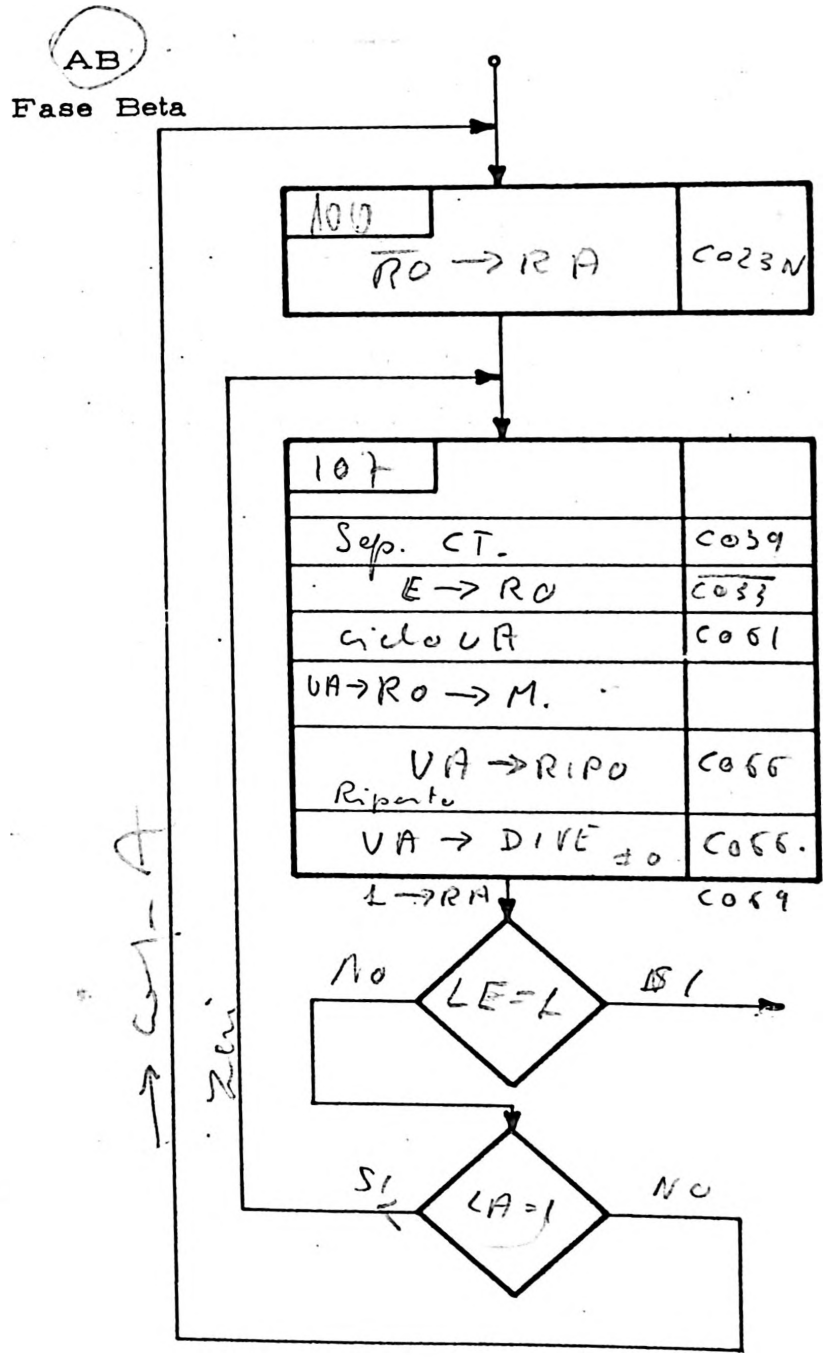

AB
Fase Beta
RO → IR A
C023N
107
Sep. CT.
C039
E → RO
C053
ciclo UA
C061
UA → RO → M.
UA → RIPO
C066
Ripeto
UA → DIVE ≠ 0
C066.
L → RM
C069
No
LE = L
SI
SI
LA = 1
NO

Fig. 7.2.1

AB

Fase Beta

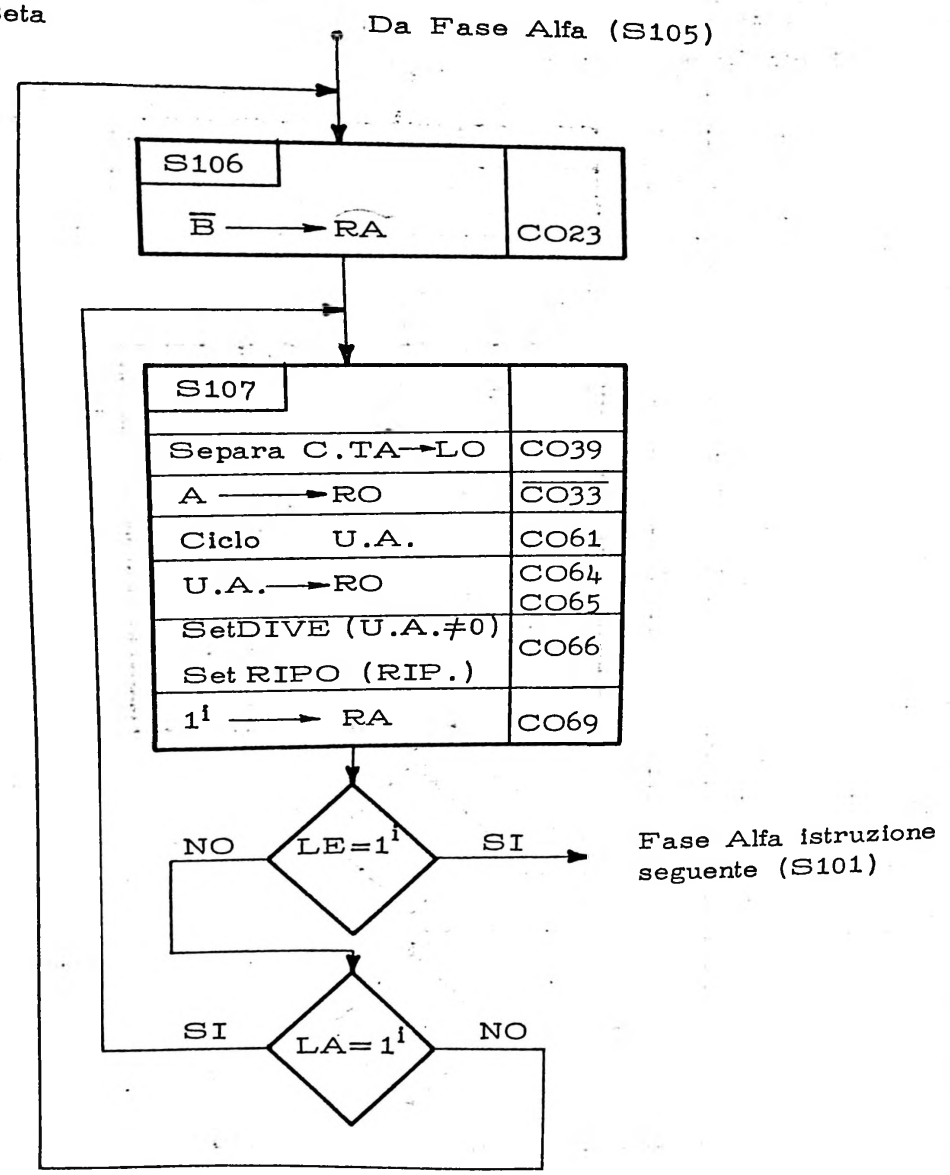
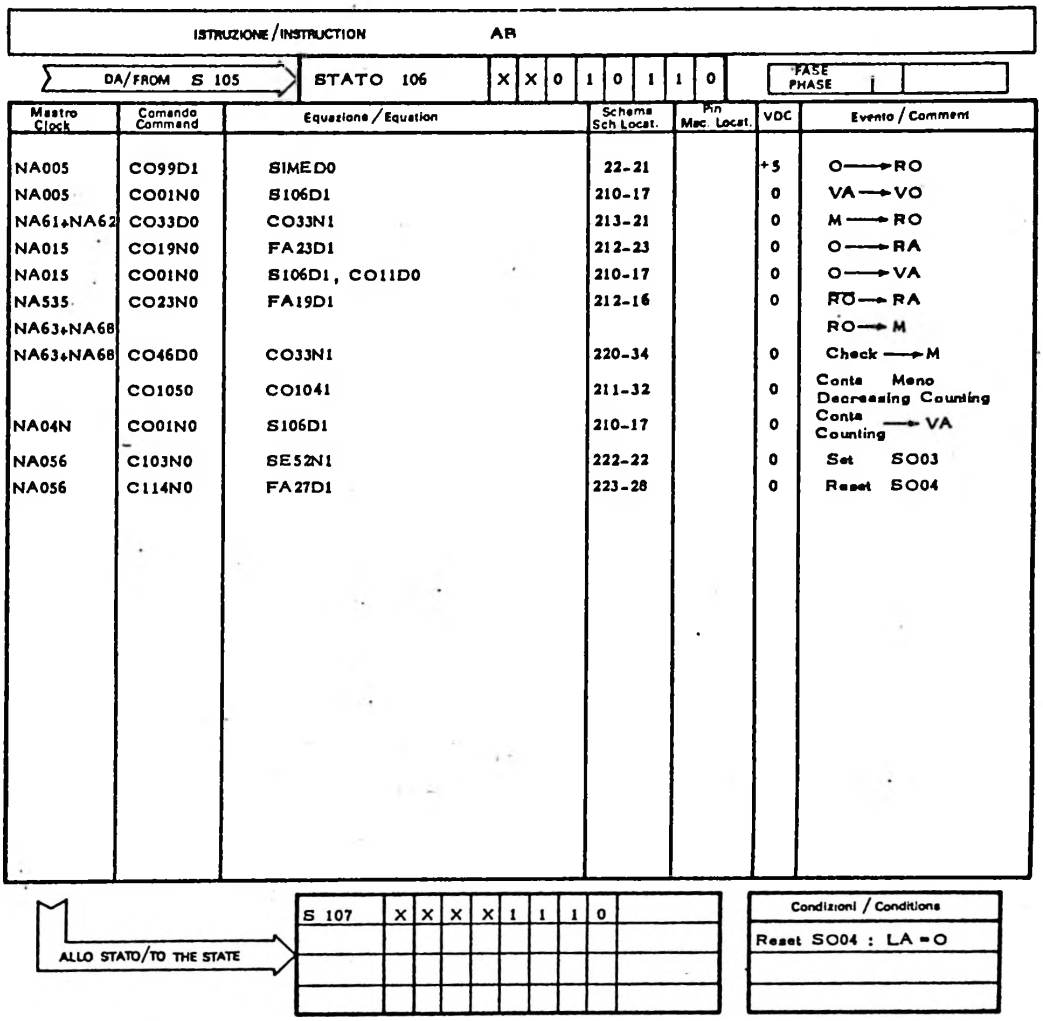


Fig. 7.2.2



ISTRUZIONE / INSTRUCTION: AR

DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1	212-23		0	O ⟶ RA
NA015	CO01N0	S106D1, CO11D0	210-17		0	O ⟶ VA
NA535	CO23N0	FA19D1	212-16		0	$\overline{RO}$ ⟶ RA
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
	CO1050	CO1041	211-32		0	Conta Meno Decreasing Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ⟶ VA
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 : LA = O

Fig.7.2.3

ISTRUZIONE / INSTRUCTION AB

DA/FROM S 106 → STATO 107 | X | X | X | X | 1 | 1 | 1 | 0 | FASE PHASE | |

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO38N0 C039	FA40D1	213-39		0	Prepara Conta → LO Counting Enable
NA005	CO00N0	S107D1	210-5		0	VE → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA01N	CO38N0	FA40D1	213-39		0	Conta → LO Counting
NA015	CO00N0	S107D1	210-5		0	O → VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO64N0	FA43D1	221-17		0	U.A. → RO⁻
NA085	CO65N0	FA43D1	221-21		0	U.A. → RO⁺
NA085	CO66N0	FA43D1	221-27		0	U.A. → RIPO
NA085	CO66N0	FA43D1	221-27		0	U.A. → DIVE
NA085	CO69N0	FA52D1	221-4		0	1^{I} → RA
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check → M
	CO1050	CO1041	211-32		0	Conta Meno Decreasing Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta → VE Counting
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE = 1^{I}
S 106	X	X	X	X	0	1	1	0	(LEPRI//SOM=1)
S 107	X	X	X	X	1	1	1	0	(LEPRI//SOM=0)

Condizioni / Conditions
DIVE = 1 : U.A. ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 7.2.4

RISPOSTE

a) - Il trasferimento, da memoria dei caratteri completi del campo A in complemento binario, in RA.

b) - Il trasferimento da memoria, dei caratteri del campo E, in RO.
L'avvio del diclo aritmetico ed il trasferimento del risultato dell'operazione in RO.
La modifica, a seconda del risultato parziale, di RIPO e DIVE. LO conta -1 nelle due sezioni LE + LA.

c) - RIPO =0 DIVE =0.

d) - RIPO trasmette i riporti di un carattere verso il successivo.

e) - Indica se il risultato è ≠0.

f) - Si segnala mantenendo RIPO a "1 " , condizione che può essere sfruttata da altra istruzione di programma.

g) -

		DIVE	
		0	1
RIPO	0	A+E = 0	A+E ≠ 0
	1	A+E =0 Overflow	A+E≠ 0 Overflow

h) - No. L'elaboratore non considera mai i segni tra operandi.

LEZIONE 8

Tempo di studio
30 minuti

8. FASE BETA DELLE ISTRUZIONI SD E SB

8.1. SD - SOTTRAZIONE DECIMALE

Come per le istruzioni precedenti compilare il diagramma di flusso di Fig.8.1.1 e rispondere alle seguenti :

DOMANDE

a) - Nello S106 cosa si verifica ?

A → RA

b) - Cosa si verifica nello S107 ?

E → RO ciclo VA VA → RO - RO → M.

Set. Ripo e Divè -

c) - Come si opera durante il ciclo aritmetico ?

solo sui Bit 00 ÷ 03.

d) - Se il campo A è più corto del campo E come si agisce in RA ?

notmagyo a E zeri

e) - Se E-A < 0 come sarà il risultato ?

errato - in complemento a 10-

f) - Se in una operazione E-A il risultato è < 0 cosa fa il calcolatore ?

esegue un notto programma-

predisposto nel programma

stesso -

Sottrazione E (Campo) — A (Campo) = Risultato.

g) - Cosa memorizza il flip-flop RIPO ? a fine operazione - E - A = < 0

.....
.....

h) - Cosa memorizza il flip-flop DIVE ? ≠ 0

.....
.....

i) - Completare la seguente tabella indicando per quali operazioni RIPO e DIVE assumono la configurazione "0" o "1".

Condizioni finali: LE = 1

		DIVE	
		0	1
RIPO	0		E - A < 0
	1	E - A = 0	E - A ≥ 0

Camp E < Camp A

← Risultato buono

l) - Il segno tra operandi è in qualche modo considerato ?

.....N.O.....
.....

SD
SB
AD
ABec..

IA/IE sono esterne: lo fa la rete = unità. VA/VF Cambiano in MCUD

D M C D U

SD

Fase Beta

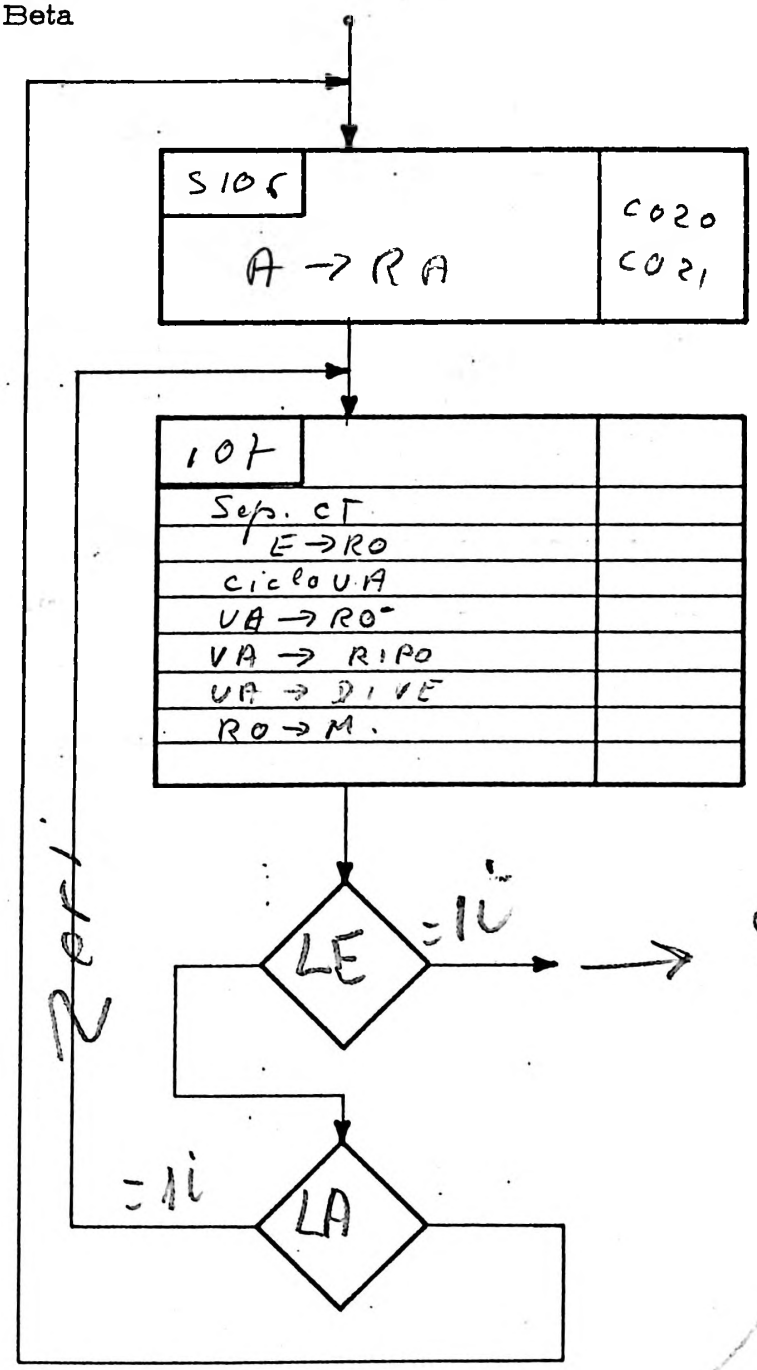


Fig. 8.1.1

SD

Fase Beta

Da fase alfa (S105)

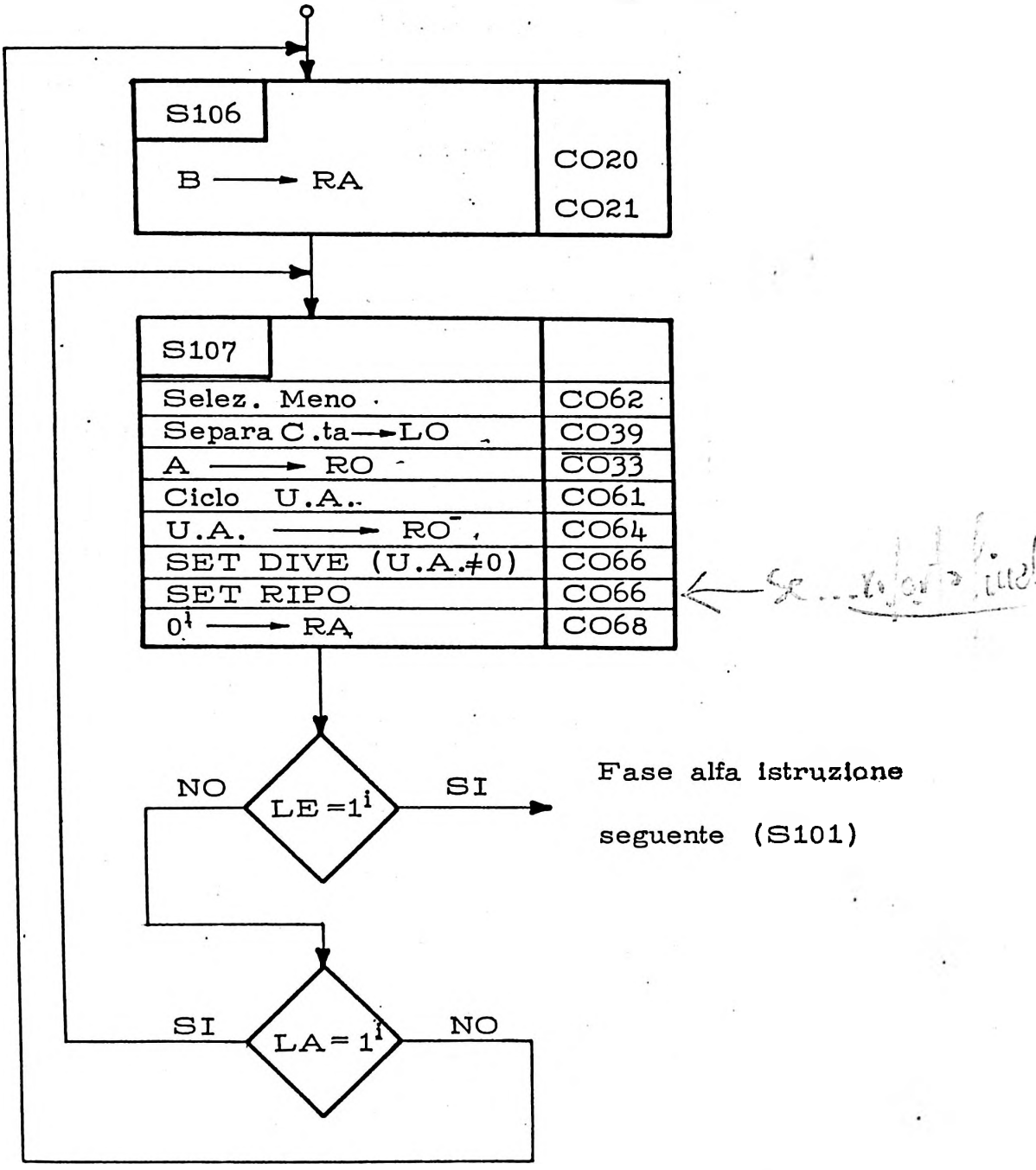


Fig. 8.1.2

ISTRUZIONE / INSTRUCTION	SD

DA/FROM S 105 | STATO 106 | X | X | 0 | 1 | 0 | 1 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——→ RO
NA005	CO01N0	S106D1	210-17		0	VA ——→ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ——→ RO
NA015	CO19N0	FA23D1	212-23		0	O ——→ RA
NA015	CO01N0	S106D1	210-17		0	O ——→ VA
NA535	CO20N0	FA20D1	212-36		0	$RO^{=}$ ——→ RA^{-}
NA535	CO21N0	FA20D1	212-5		0	RO^{+} ——→ RA^{+}
NA63÷NA68						RO ——→ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ——→ M
	CO1050	CO1041	211-32		0	Conta Decreasing — Meno Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ——→ VA
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 : LA = 0

Fig. 8.1.3

ISTRUZIONE / INSTRUCTION **SD**

DA/FROM S 106 | STATO 107 | X X X X 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——→ RO
	CO62N0	FA42D1	221-2		0	Selezione Meno Minus Counting Select
	CO63N0	FA42D1	221-12		0	Selezione Decimale Decimal Operation
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable —→ LO
	CO39D1	S10760 . F10150	213-43		5	Separa Conta Counting Separately —→ LO
NA005	CO00N0	S107D1	210-5		0	VE ——→ VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ——→ RO
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting —→ LO
NA015	CO00N0	S107D1	210-5		0	O ——→ VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO64N0	FA41D1	221-17		0	U.A.—→RO
NA085	CO66N0	FA41D1	221-27		0	U.A.—→RIPO
NA085	CO66N0	FA41D1	221-27		0	U.A.—→DIVE
NA085	CO68N0	FA53D1	221-40		0	0^i ——→RA
NA63+NA68						RO ——→M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK——→M
	CO1050	CO1041	211-32		0	Conta Decreasing Meno Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting ——— VE
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE = 1^i
S 106	X	X	X	X	0	1	1	0	$(LE \neq 1^i)(SO04 = 1)$
S 107	X	X	X	X	1	1	1	0	$(LE \neq 1^i)(SO04 = 0)$

Condizioni / Conditions
DIVE = 1 : U.A. ≠ 0
RIPO = 1 : Riporto Carry

Fig. 8.1.4

RISPOSTE

a) - 1 carattere alla volta del campo A viene trasferito in RA.

b) - I caratteri del campo E vengono posti in RO. Si avvia il ciclo aritmetico: si esegue la sottrazione RO - RA sui 4 bit meno significativi. Si pone il risultato in RO.
L'U.A. modifica lo stato di RIPO e DIVE.
Si scrive il risultato in campo E.
LO conta -1 nelle due sezioni.

c) - Si somma il carattere di RA con quello di RO. Si tenga presente che l'U.A. risolve l'equazione.

$$A + \overline{B} + \text{riporto}$$

d) - Si considerano 0^i i caratteri mancanti dal campo A e si prosegue l'elaborazione finchè $LE = \bar{1}$.

e) - Se E-A <0 il risultato è in complemento binario.

f) - Nulla. Bisogna da programma provvedere e ricomplementare per lunghezza LE+1 il risultato.

g) - I riporti tra due caratteri elaborati successivamente.

h) - Il risultato $\neq 0$.

i) -

		DIVE	
		0	1
RIPO	0		E-A < 0 in compl.
	1	E-A = 0	E-A > 0

l) - No. L'elaboratore non considera mai i segni.

8.2. SB - SOTTRAZIONE BINARIA

Completare il diagramma di flusso di Fig. 8.2.1 e rispo ndere alle seguenti :

DOMANDE

a) - Cosa si effettua nello S106 ?

A → RA

b) - Cosa si effettua nello S107 ?

E → RO ciclo VA VA → RO → M

Ripristine - 0 → RA.

c) - Alla fine di quale stato si azzera RA ?

107.

d) - Se E-A<0 come sarà il risultato ? complemento

e) - Completare la tabella seguente indicando per quali operazioni RIPO e DIVE SONO A VALORE "0"o"1".

		DIVE 0	DIVE 1
RIPO	0	E-A=0	E-A=<0 in compl.
	1	E-A=0	E-A=>0

SB

Fase Beta

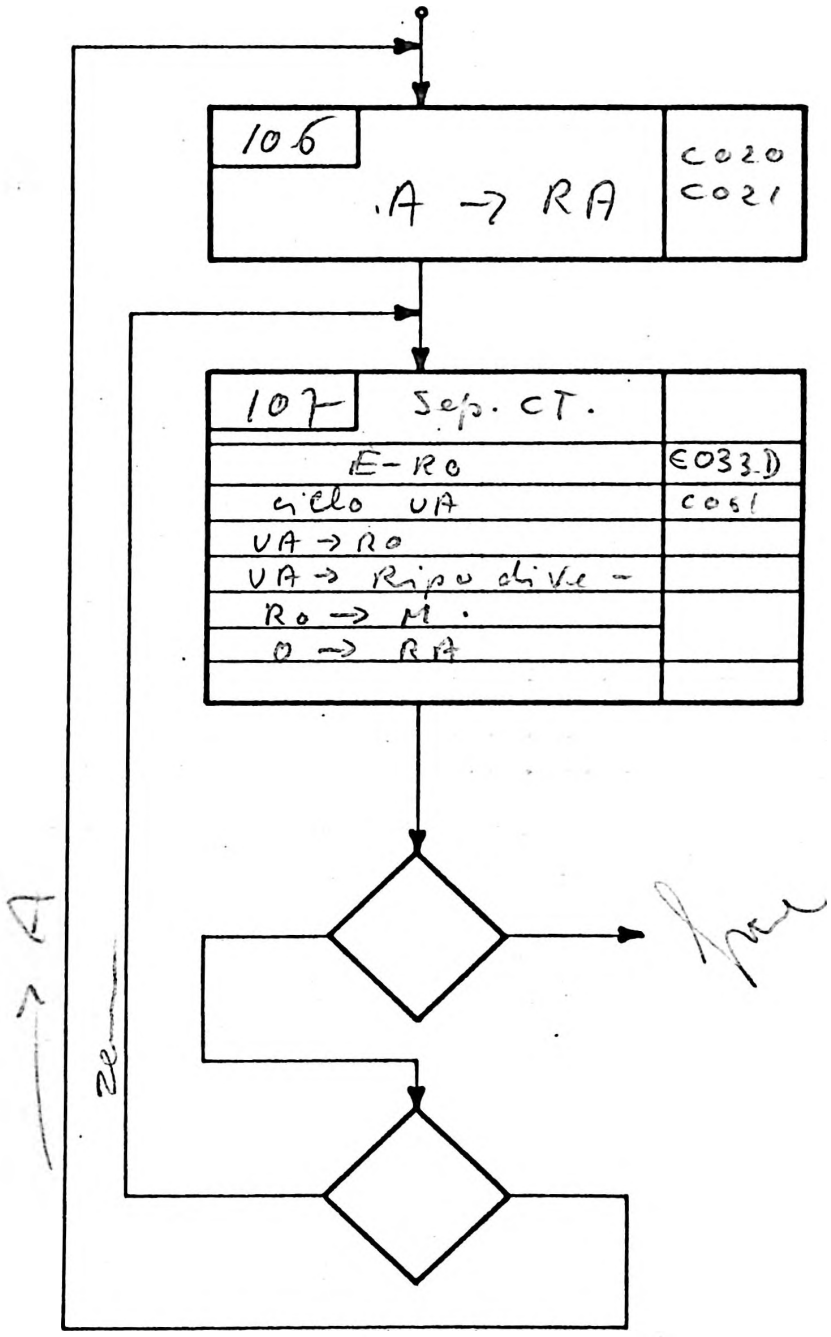


Fig. 8.2.1

SB

Fase Beta

Da fase alfa (S105)

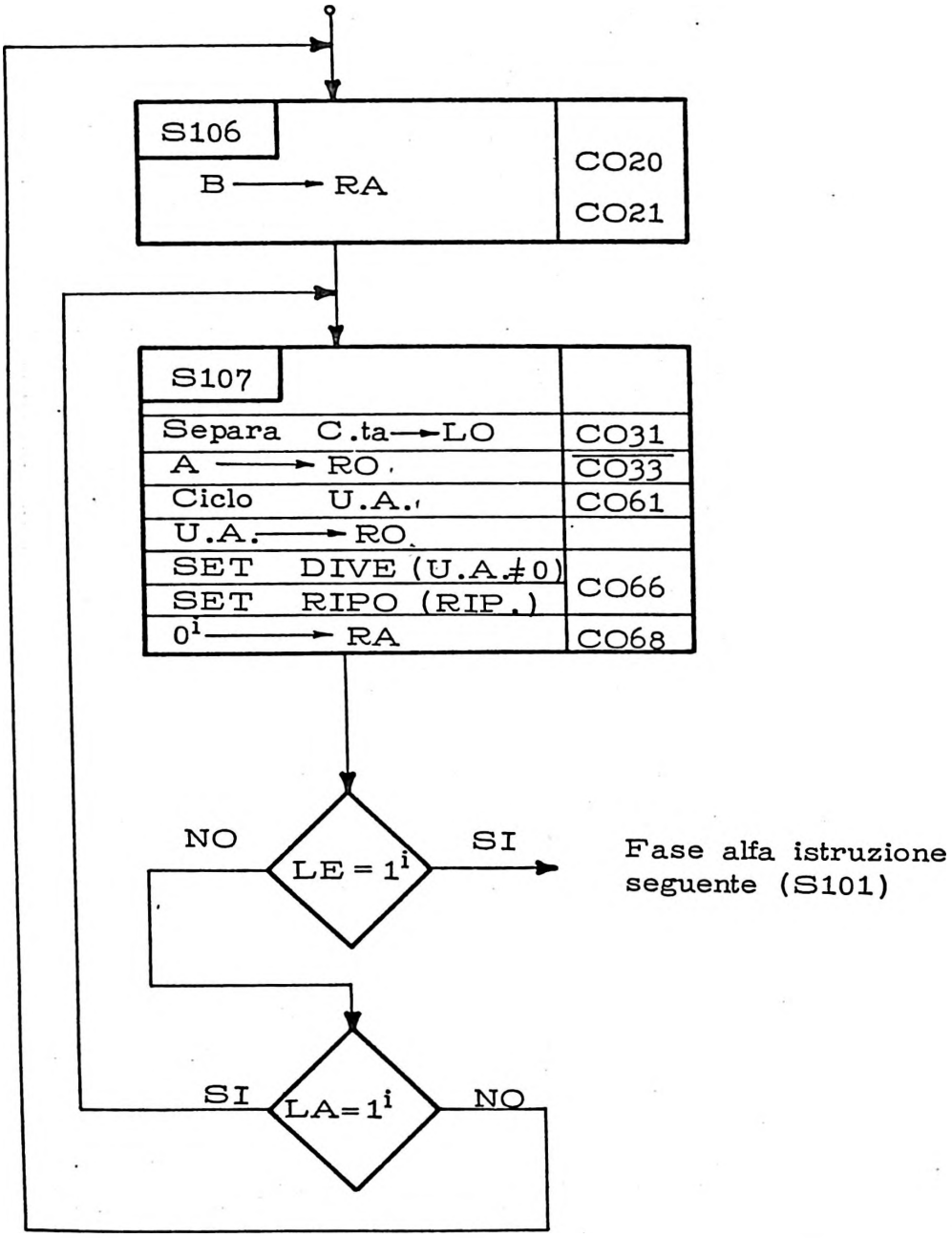


Fig. 8.2.2

f) - Se al termine dell'operazione DIVE = 1 e RIPO = 0 come si dovrà procedere ?

a correzione con sottoprogramma

g) - Se si hanno dei segni che precedono gli operandi la macchina ne tiene conto ?

NO

ISTRUZIONE / INSTRUCTION	SB

DA/FROM S 105	STATO 106	X	X	0	1	0	1	1	0	FASE PHASE	

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO01N0	S106D1	210-17		0	VA → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO19N0	FA23D1	212-23		0	O → RA
NA015	CO01N0	S106D1	210-17		0	O → VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \rightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \rightarrow RA^+$
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check → M
	CO1050	CO1041	211-32		0	Conta Meno Decreasing Counting
NA04N	CO01N0	S106D1	210-17		0	Conta Counting → VA
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C114N0	FA27D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	

Condizioni / Conditions
Reset SO04 LA = 0

Fig. 8.2.3

ISTRUZIONE / INSTRUCTION	SB

DA/FROM S 106 | STATO 107 | X | X | X | X | 1 | 1 | 1 | 0 | FASE PHASE | |

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat	VDC	Evento / Commem
NA005	CO99D1	SIMÉD0	22-21		+5	O ——→RO
	CO62N0	FA43D1	221-2		0	Selezione Meno Minus Counting Select
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta ——→LO Counting Enable
	CO39D1	S10760, F10150	213-43		+5	Separa Conta ——→LO Counting Separately
NA005	CO00N0	S107D1	210-5		0	VE ——→VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ——→RO,
NA015	CO38N0	FA40D1	213-39		0	Conta ——→LO Counting
NA015	CO00N0	S107D1	210-5		0	O ——→VE
NA56N	CO61N0	CO39D1	220-26		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO64N0	FA43D1	221-17		0	U.A.——→RO⁻
NA085	CO65N0	FA43D1	221-21		0	U.A.——→RO⁺
NA085	CO66N0	FA43D1	221-27		0	U.A.——→RIPO
NA085	CO66N0	FA43D1	221-27		0	U.A.——→DIVE
NA085	CO68N0	FA43D1	221-40		0	O¹ ——→RA
NA63+NA68						RO ——→M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check——→M
	CO1050	CO1041	211-32		0	Conta Meno Decreasing Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta ——→VE Counting
NA056	C104N0	FA58D1	222-4		0	Set SO04
NA056	C112N0	FA58D1	223-15		0	Reset SO02
NA056	C113N0	FA59D1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LE=1ⁱ
S 106	X	X	X	X	0	1	1	0	(LE=1)/(SO04=1)
S 107	X	X	X	X	1	1	1	0	(LE=1)/(SO04=1)

Condizioni / Conditions
DIVE = 1 : U.A. ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 8.2.4

RISPOSTE

a) - I caratteri del campo A vengono posti in RA (RO RA) tutti i bit del carattere sono interessati dall'elaborazione.

b) - I caratteri del campo E vengono posti in RO.
Si avvia il ciclo aritmetico e si esegue la sottrazione binaria di E-A.
Il risultato viene messo in RO operando in campo E.
Vengono interessati RIPO e DIVE dai risultati parziali.
LO conta, nelle due sezioni LE-LA -1.

c) - S107. In previsione che il campo A sia minore del campo E si azzera sempre RA.

d) - In complemento binario a 2^8.

e) -

RIPO \ DIVE	0	1
0		E-A < 0 in compl.
1	E-A = 0	E-A > 0

f) - Si dovrà procedere alla ricomplementazione da programma del risultato considerando che il complemento è relativo a 2^8 per una lunghezza LE+1.

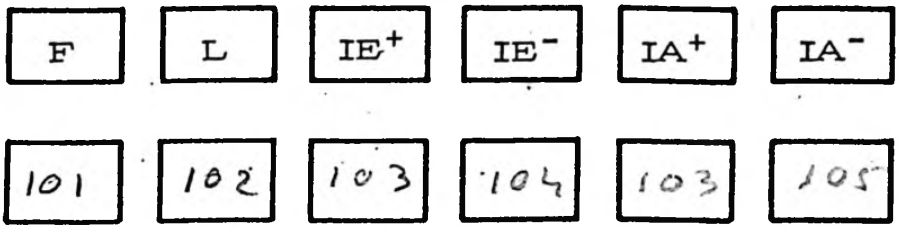
g) - No, in nessun caso. Per i segni bisogna procedere preliminarmente alle analisi degli operandi.

LEZIONE 9

Tempo di studio
1 ora

9. ISTRUZIONI DEL GRUPPO A2
FASE BETA DELLE ISTRUZIONI OC E NC

9.1. La codifica di questo tipo di istruzioni é la seguente :



Scrivere in corrispondenza di ogni singolo codice lo STATO che lo interessa durante la fase alfa:

DOMANDE

a) - Qual'é la lunghezza massima che può avere l'operando?

256

b) - Ponendo in L uno 0 quanti caratteri si elaborano ?

uno

c) - A quale campo si riferisce la lunghezza nella UPK ?

a quella del campo A

d) - A quale campo si riferisce la lunghezza nelle PK, SR, SL, TR ?

e) - Nelle altre istruzioni a cosa va riferita la lunghezza ?

RISPOSTE

a) - E' di 256 caratteri.

b) - 1.

c) - Al campo A.

d) - Al campo E.

e) - Ad ambedue i campi.

Nella tabella seguente, vengono riportate le istruzioni appartenenti al gruppo A2.

ISTR.	SIGNIFICATO	CODICE esadecim.	F in codice binario
NC	AND logico	D - 4	
OC	OR logico	D - 6	
XC	OR esclusivo	D - 7	
PK	Impaccamento	D - A	
UPK	Disimpaccamento	D - 8	
TR	Trascodifica	D - C	
MVC	Trasferimento	D - 2	
CMC	Confronto	D - 5	
EDT	Preparazione alla stampa	D - E	
SR	Ricerca a destra	D - 9	
SL	Ricerca a sinistra	D - B	

07 06 05 04 03 02 01 00

Compilare la configurazione di F in codice binario. Compilare il diagramma di flusso di Fig. 9.1.1, fase alfa per istruzioni di tipo A2.

Gruppo A2

Fase Alfa

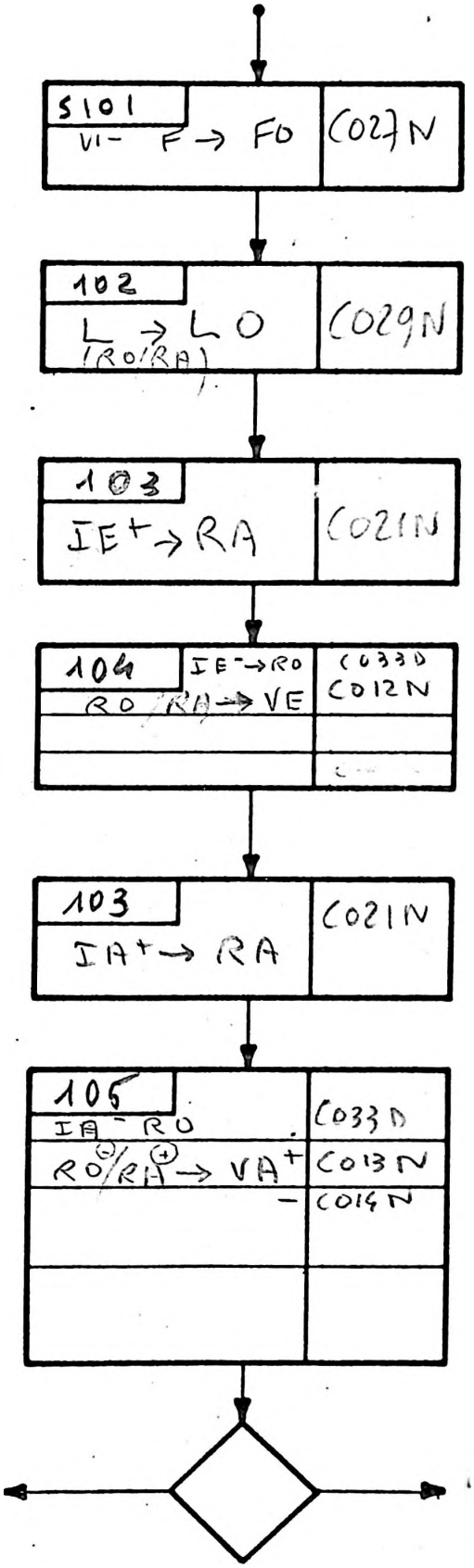


Fig. 9.1.1

Gruppo A2

Fase Alfa

Da fase beta istruzione precedente

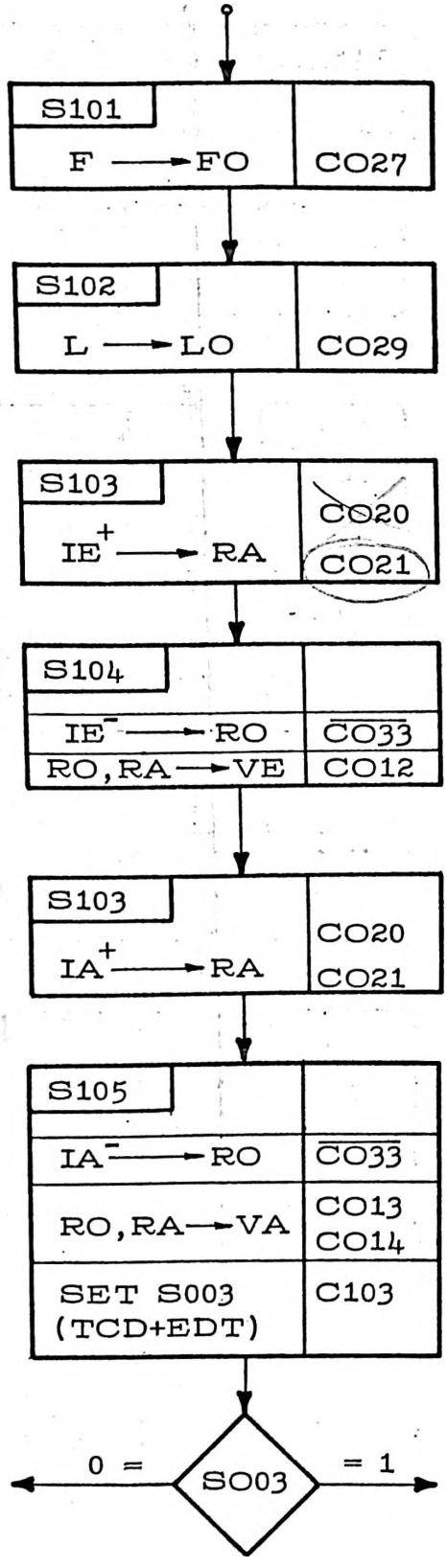


Fig. 9.1.2

DOMANDE

a) - Al termine della fase alfa cosa contengono gli organi di macchina ? L'istruzione Registrata
FIFO - LIFO / IFIVE / IAIVA
.....
.....

b) - Analizzando lo S102 determinare per quali istruzioni si predispone il flip-flop RIPO ?
....CMC - XC ... SR SL .....
.....

c) - Compilare la seguente tabellina riportando i valori nello S102, di RIPO e DIVE

ISTRUZIONE	RIPO	DIVE
EDT	1	0
CMC		0
XC		0
SR		0
SL		0

d) - Al termine della fase alfa a quali STATI si può andare ?
Per quali istruzioni ?. allo stato 106 normalmente
.....
.....
Ma 107 se T(D.EDT

RISPOSTE

a) - F → FO.

L → LO.

IE^+ IE^- → VE.

IA^+ IA^- → VA.

b) - CMC, XC, SR, SL.

c) -

ISTRUZIONE	RIPO	DIVE
EDT	1	0
CMC	1	0
XC	1	0
SR	1	0
SL	1	0

d) - Agli S106 o S107.

Allo S106 si va per le istruzioni :

SR, SL, PK, XC, UPK, NC, OC, MVC, CMC.

Allo S107 per le istruzioni :

TR, EDT.

ISTRUZIONE / INSTRUCTION — Fase Alfa gruppo A2

DA/FROM Fase Beta — STATO 101 — X X 0 X 1 0 1 0 — FASE / PHASE 1

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61↓NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO27N0	S101D1	212-7		0	O ⟶ FO
NA535	CO27N0	S101D1	212-7		0	RO ⟶ FO
NA63↓NA68						RO ⟶ M
NA63↓NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1	210-3		0	CT ⟶ VI
NA056	C113N0	SE56N1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 102	X	X	0	X	0	0	1	0	

Condizioni / Conditions

Fig. 9.1.3

ISTRUZIONE / INSTRUCTION — Fase Alfa Gruppo A2

DA/FROM S 101 → STATO 102 | X | X | 0 | X | 0 | 0 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO28N0	S102D1	212-30		0	(O ⟶ RE)
NA015	CO29N0	S102D1	213-18		0	1^{i} ⟶ LO
NA015						Reset Selezione / Reset Standard / Consle Stend. / Conn. Address
NA525		S10250				(Reset COVE)
NA525		S10250				(Reset CAPE)
NA535	CO28N0	S102D1	212-30		0	(RO ⟶ RE)
NA535	CO29N0	S102D1	213-18		0	RORA ⟶ LO
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO40D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO62N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA055	CO42N0	FA03D1+FA05D1+FA06D1	220-6		0	Reset DIVE
NA055	CO41N0	FO3D1+FA05D1+FA06D1	220-22		0	Set RIPO
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C105N0	SE54N1	222-38		0	Set SO05
NA056	C114N0	FA16D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE → S 103 | X | X | 1 | 0 | 1 | 0 | 1 | 0 |

Condizioni / Conditions
DIVE = 0 EDT, CMC, XC, SR, SI
RIPO = 1 EDT, CMC, XC, SR, SI

Fig. 9.1.4

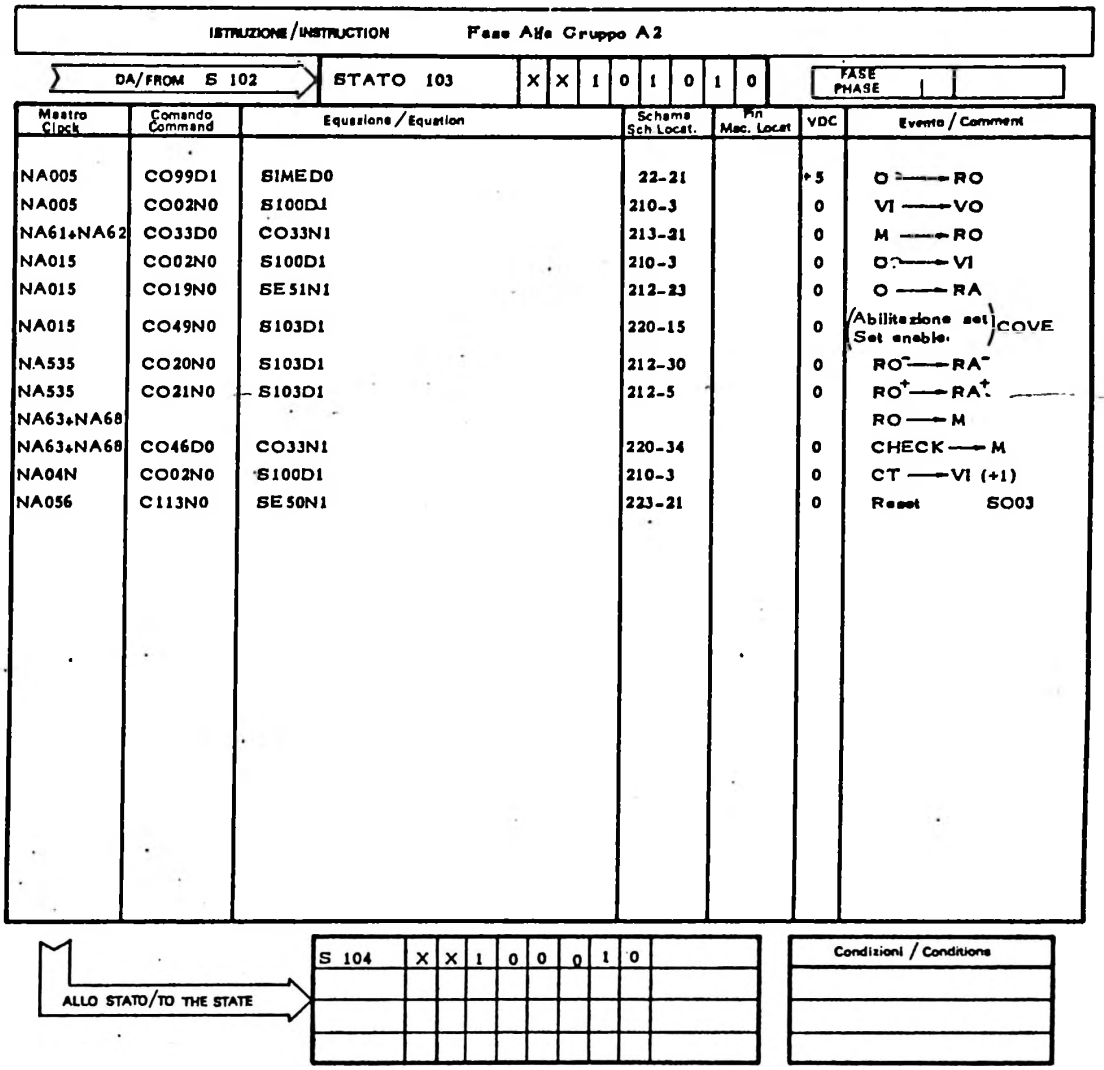

ISTRUZIONE / INSTRUCTION
Fase Alta Gruppo A2
DA/FROM S 102
STATO 103
X X 1 0 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch Locat.
Pin Mac. Locat
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 0 ⟶ RO
NA005 CO02N0 S100D1 210-3 0 VI ⟶ VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M ⟶ RO
NA015 CO02N0 S100D1 210-3 0 0 ⟶ VI
NA015 CO19N0 SE51N1 212-23 0 0 ⟶ RA
NA015 CO49N0 S103D1 220-15 0 (Abilitazione set / Set enable) COVE
NA535 CO20N0 S103D1 212-30 0 RO⁻ ⟶ RA⁻
NA535 CO21N0 S103D1 212-5 0 RO⁺ ⟶ RA⁺
NA63÷NA68 RO ⟶ M
NA63÷NA68 CO46D0 CO33N1 220-34 0 CHECK ⟶ M
NA04N CO02N0 S100D1 210-3 0 CT ⟶ VI (+1)
NA056 C113N0 SE50N1 223-21 0 Reset S003
ALLO STATO/TO THE STATE
S 104 X X 1 0 0 0 1 0
Condizioni / Conditions

Fig. 9.1.5

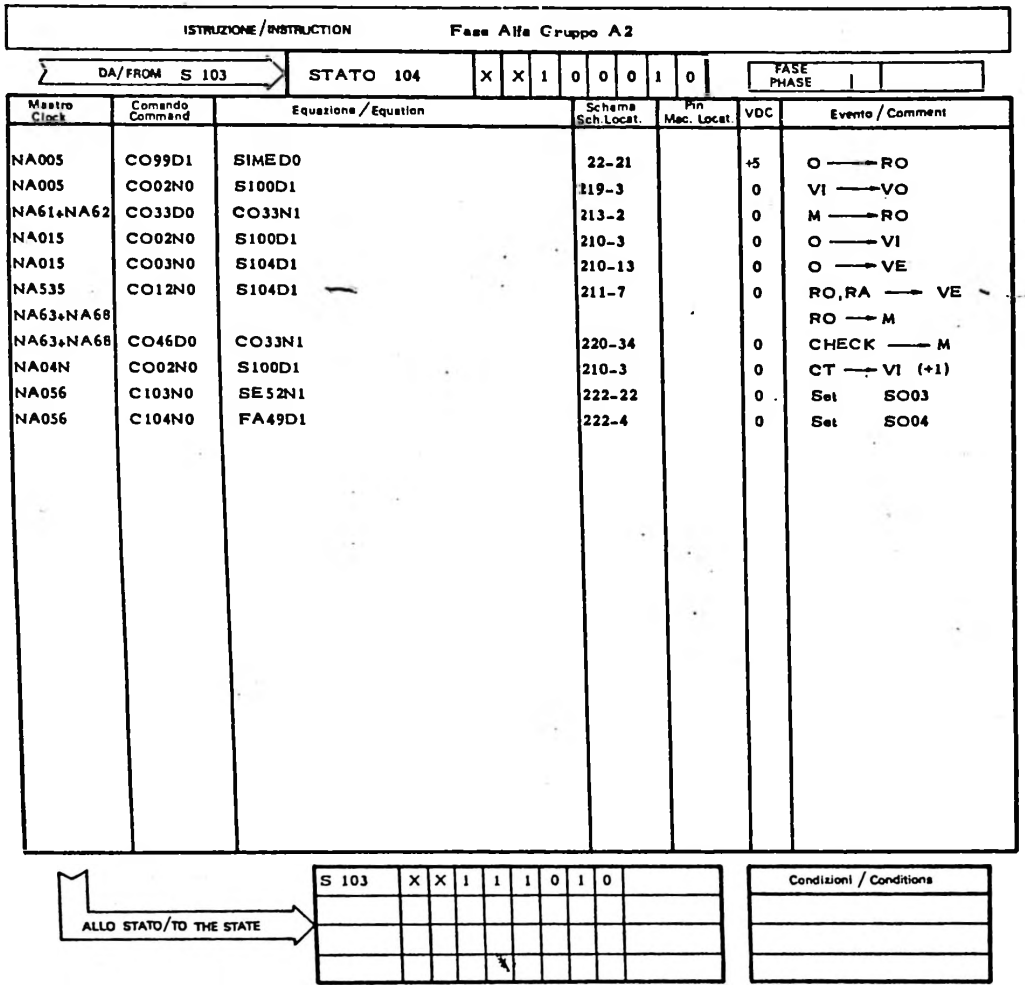

ISTRUZIONE / INSTRUCTION
Fase Alta Gruppo A2
DA/FROM S 103
STATO 104
X X 1 0 0 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O ⟶ RO
NA005 CO02N0 S100D1 219-3 0 VI ⟶ VO
NA61•NA62 CO33D0 CO33N1 213-2 0 M ⟶ RO
NA015 CO02N0 S100D1 210-3 0 O ⟶ VI
NA015 CO03N0 S104D1 210-13 0 O ⟶ VE
NA535 CO12N0 S104D1 211-7 0 RO,RA ⟶ VE
NA63•NA68 RO ⟶ M
NA63•NA68 CO46D0 CO33N1 220-34 0 CHECK ⟶ M
NA04N CO02N0 S100D1 210-3 0 CT ⟶ VI (+1)
NA056 C103N0 SE52N1 222-22 0 Set SO03
NA056 C104N0 FA49D1 222-4 0 Set SO04
ALLO STATO/TO THE STATE
S 103 X X 1 1 1 0 1 0
Condizioni / Conditions

Fig. 9.1.6

ISTRUZIONE / INSTRUCTION — Fase Alta Gruppo A2

DA/FROM S 104 — STATO 103 — X X 1 1 1 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——→ RO
NA005	CO02N0	S100D1	210-3		0	VI ——→ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ——→ RO
NA015	CO02N0	S100D1	210-3		0	O ——→ VI
NA015	CO19N0	SE51D1	212-23		0	O ——→ RA
NA015	CO49N0	S103D1	220-13		0	(Abilitazione set / Set enable) COVE
NA535	CO20N0	S103D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	S103D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63÷NA68						RO ——→ M
NA63÷NA68	CO46D0	CO33N1	226-34		0	CHECK ——→ M
NA04N	CO02N0	S100D1	210-3		0	CT ——→ VI (+1)
NA056	C113N0	SE56N1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 105	X	X	1	1	0	0	1	0	

Condizioni / Conditions

Fig. 9.1.7

ISTRUZIONE / INSTRUCTION — Fase Alfa Gruppo A2

DA/FROM S 103 — STATO 105 — X X 1 1 0 0 1 0 — FASE / PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO04N0	S105D1	210-19		0	O ⟶ VA^+
NA015	CO05N0	S105D1	210-24		0	O ⟶ VA^-
NA535	CO13N0	FE12D1	211-2		0	RA ⟶ VA^+
NA535	CO14N0	FE12D1	211-8		0	RO ⟶ VA^-
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1 COVED0	210-3		0	CT ⟶ VI (+1)
NA056	C102N0	FA12D1	222-46		0	Set SO02
NA056	C103N0	FA08D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 106	X	X	0	1	0	1	1	0	EDT + TR
S 107	X	X	0	1	1	1	1	0	EDT + TR

Condizioni / Conditions

Fig. 9.1.8

9.2. OC - OR LOGICO

Questa istruzione segue, bit per bit l'OR di ogni carattere del campo A con il corrispondente carattere del campo E.

Il risultato va in campo E.

Completare ed analizzare i diagrammi di Fig. 9.2.1 e rispondere alle seguenti :

DOMANDE

a) - Il primo indirizzo contenuto in Va a quale carattere del campo A si riferisce ?

.....

.....

b) - Cosa si verifica nello S106 ?

.....

.....

c) - Il primo indirizzo contenuto in VE a quale carattere del campo E si riferisce ?

.....

.....

d) - L'OR logico si ottiene lasciando in set i flip-flop di RO che già si trovano in tale stato e disponendo in set i flip-flop di RO se i corrispondenti flip-flop sono in set. In relazione a quanto sopra esposto completare la seguente tabellina :

		RAXX	
		0	1
ROXX	0	ROXX 0	Set ROXX
	1	ROXX 1	ROXX 1

e) - E' utilizzata la rete dell'U.A. per questa operazione?

.....NO.....

.....

f) - Perchè si avvia il ciclo dell'U.A. ?

.....Per Mobilità Contenuti da RO

.....fino ai ricevere RO Satellite.

g) - A quale campo si riferisce la lunghezza ?

.....entrambi.....

OC

Fase Beta

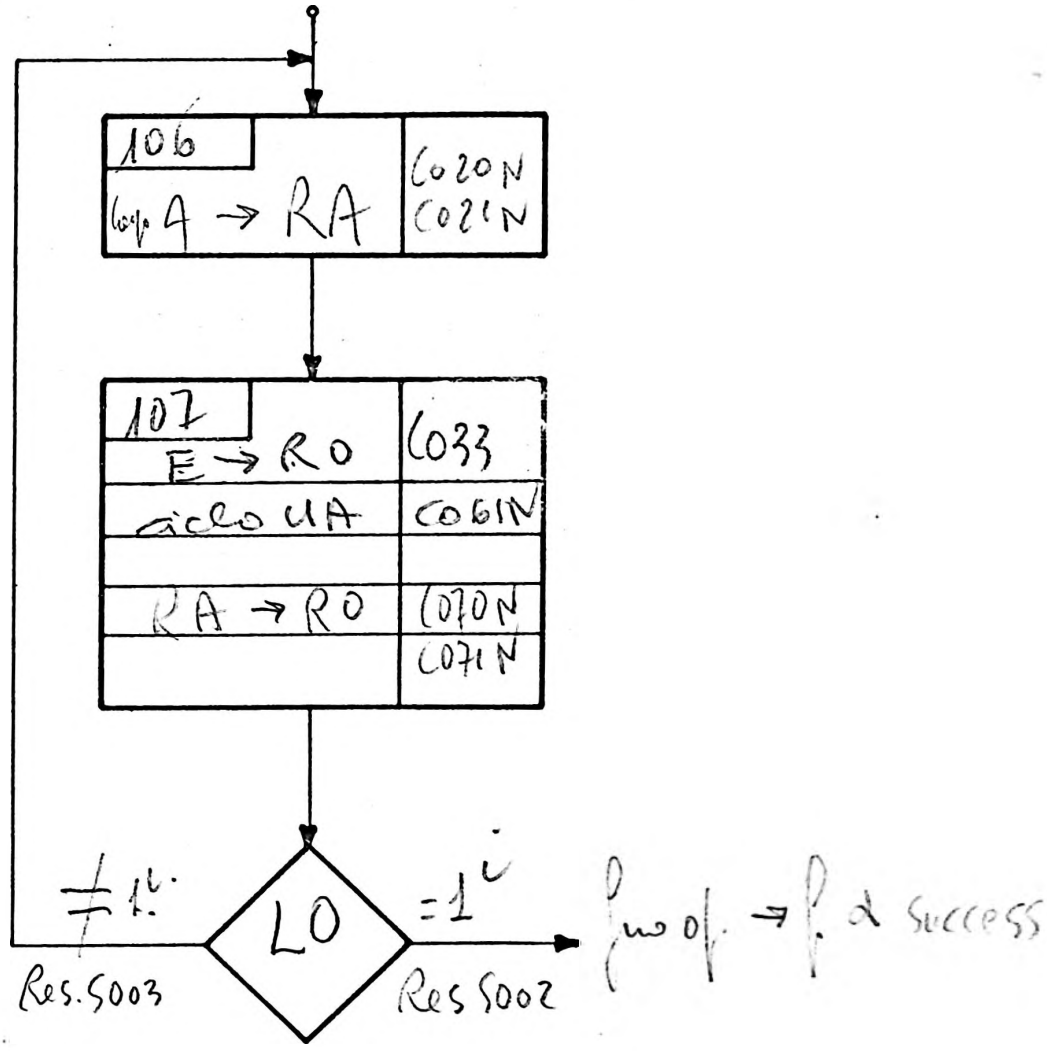


Fig. 9.2.1

OC

Fase Beta

Da fase alfa (S105)

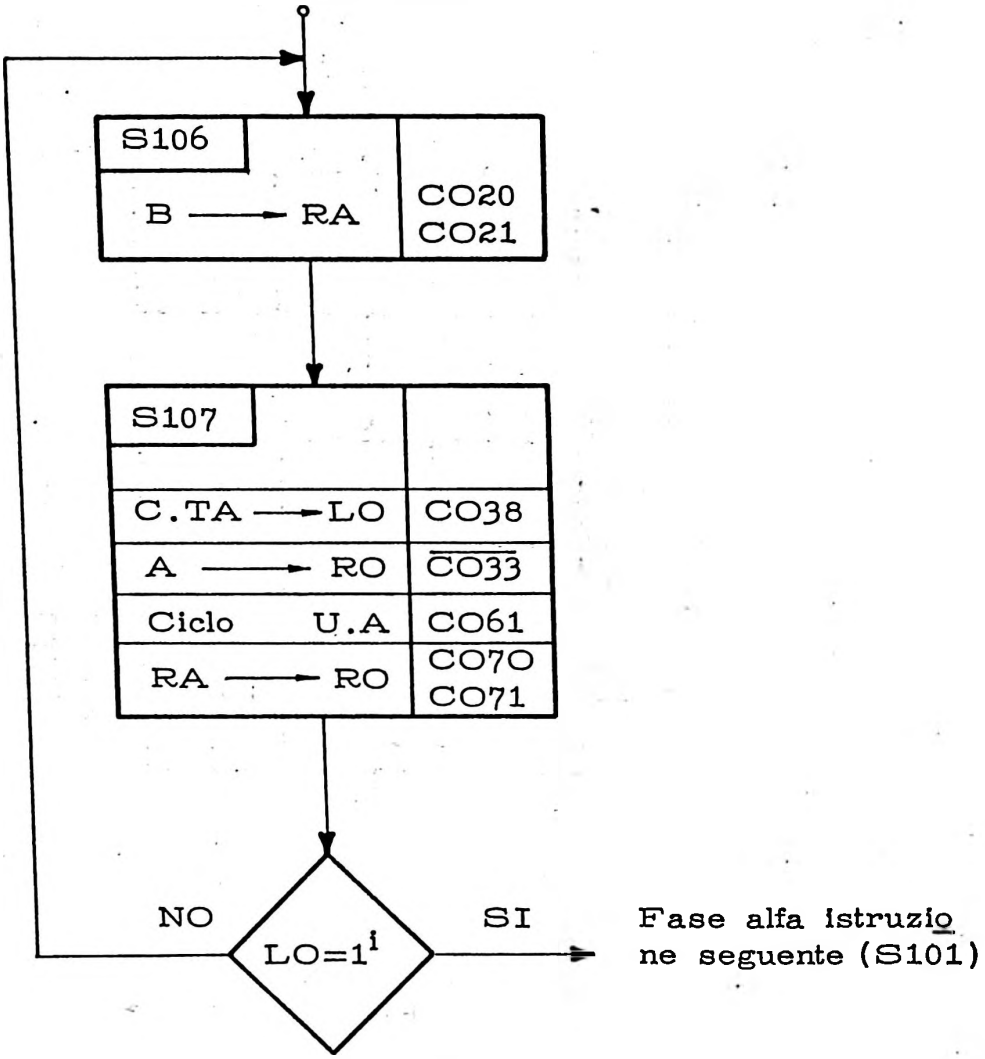


Fig. 9.2.2.

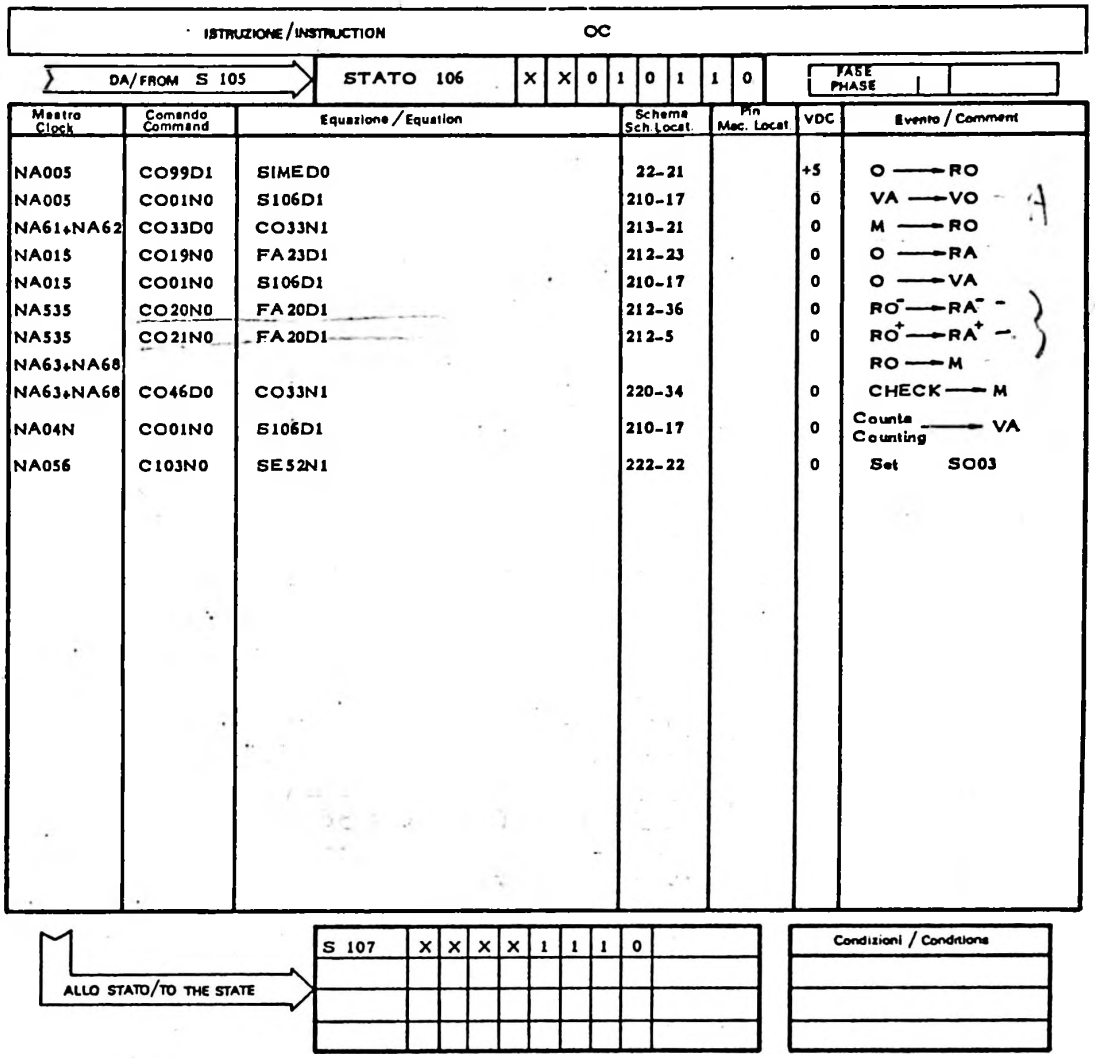

ISTRUZIONE / INSTRUCTION
OC
DA/FROM S 105
STATO 106
X X 0 1 0 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO01N0 S106D1 210-17 0 VA → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO19N0 FA23D1 212-23 0 O → RA
NA015 CO01N0 S106D1 210-17 0 O → VA
NA535 CO20N0 FA20D1 212-36 0 RO⁻ → RA⁻
NA535 CO21N0 FA20D1 212-5 0 RO⁺ → RA⁺
RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO01N0 S106D1 210-17 0 Counte Counting → VA
NA056 C103N0 SE52N1 222-22 0 Set SO03
ALLO STATO/TO THE STATE
S 107 X X X X 1 1 1 0
Condizioni / Condritions

Fig. 9.2.3

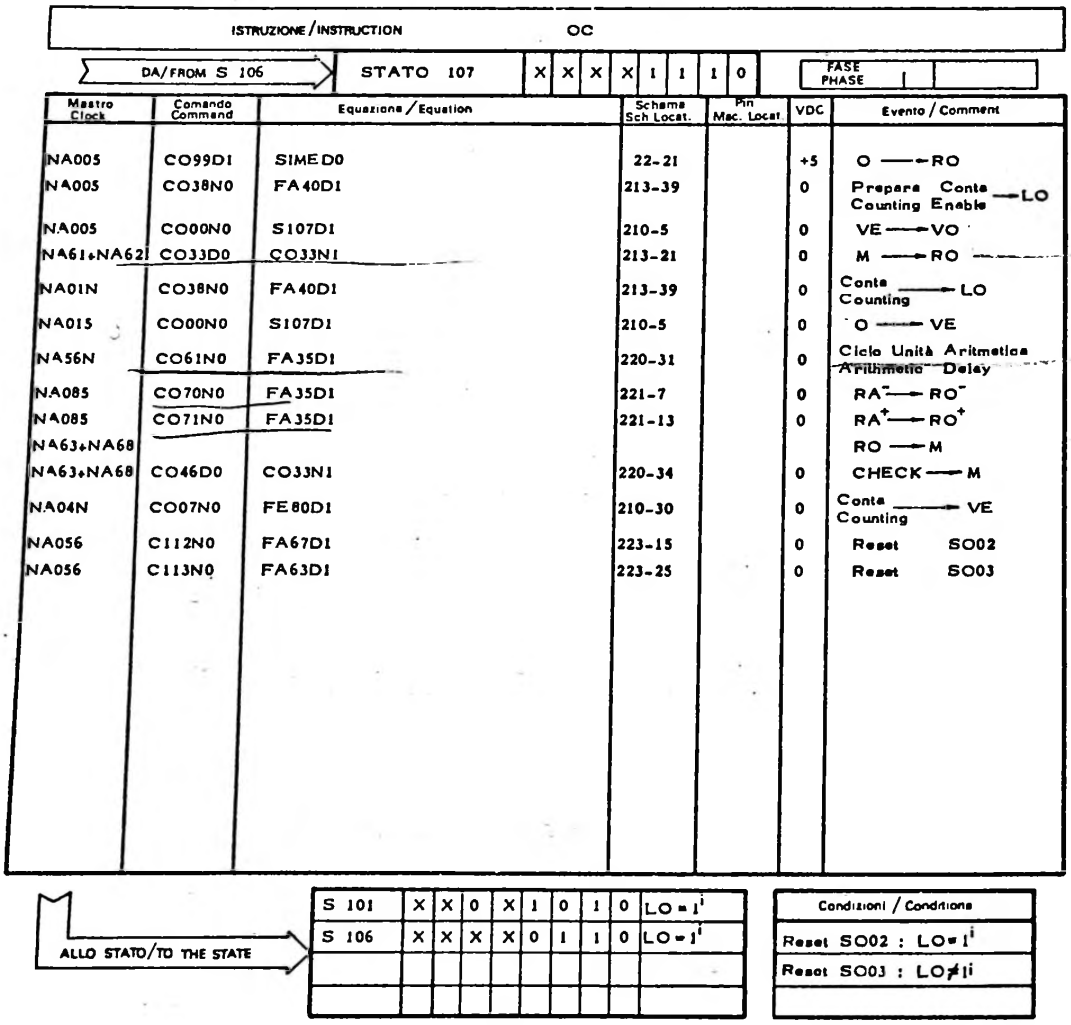

ISTRUZIONE / INSTRUCTION OC
DA/FROM S 106
STATO 107
X X X X 1 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch Locat.
Pin Mac. Locat
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O ——→RO
NA005 CO38N0 FA40D1 213-39 0 Prepara Conta Counting Enable —LO
NA005 CO00N0 S107D1 210-5 0 VE ——→VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M ——→RO
NA01N CO38N0 FA40D1 213-39 0 Conta Counting ——→LO
NA015 CO00N0 S107D1 210-5 0 O ——→VE
NA56N CO61N0 FA35D1 220-31 0 Ciclo Unità Aritmetica Arithmetic Delay
NA085 CO70N0 FA35D1 221-7 0 RA⁻ —→RO⁻
NA085 CO71N0 FA35D1 221-13 0 RA⁺ —→RO⁺
NA63+NA68 RO —→M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK —→M
NA04N CO07N0 FE80D1 210-30 0 Conta Counting ——→VE
NA056 C112N0 FA67D1 223-15 0 Reset SO02
NA056 C113N0 FA63D1 223-25 0 Reset SO03
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0 LO = 1
S 106 X X X X 0 1 1 0 LO = 1
Condizioni / Conditions
Reset SO02 : LO = 1
Reset SO03 : LO ≠ 1

Fig. 9.2.4

RISPOSTE

a) - Il primo indirizzo da VA si riferisce al carattere più significativo del campo A.

b) - Si estrae da memoria un carattere del campo A e lo si mette in RA.

c) - Si riferisce al carattere più significativo del campo E.

d) -

		RAXX	
		0	1
ROXX	0	ROXX = 0	Set.ROXX
	1	ROXX = 1	ROXX = 1

XX=07÷00

e) - No. Si agisce direttamente sui flip-flop di RO. (volume logica)

f) - Per consentire al registro RO di caricarsi con il risultato prima di avviare il ciclo di scrittura.

g) - Ad ambedue i campi.

9.3. NC - AND LOGICO

Questa istruzione esegue l'AND di ogni carattere del campo A con il corrispondente del campo E, il risultato, ottenuto dall'AND bit per bit dei caratteri, viene scritto al posto del carattere del campo E.

Completare gli STATI di Fig. 9.3.1 quindi rispondere alle seguenti :

DOMANDE

a) - Quali sono gli stati che si percorrono in fase beta ?

.....N06...N07.....

b) - Cosa si verifica nello S106 ?

.....Comp. A → RA ... e Condiz. +A: UA

c) - Cosa si verifica nello S107 ? E → RO { -1 LO, +1 UE, ecc ecc.

.....$\overline{RA}$ → $\overline{RO}$ = AND = ...
↳ Memorio

d) - Tenendo presente che l'AND logico si ottiene azzerando i F.F. di RO se i corrispondenti F.F. RA sono in reset compilare la seguente tabellina :

		RAXX	
		0	1
ROXX	0	0	0
	1	0	1

XX = 07+00

NC

Fase Beta

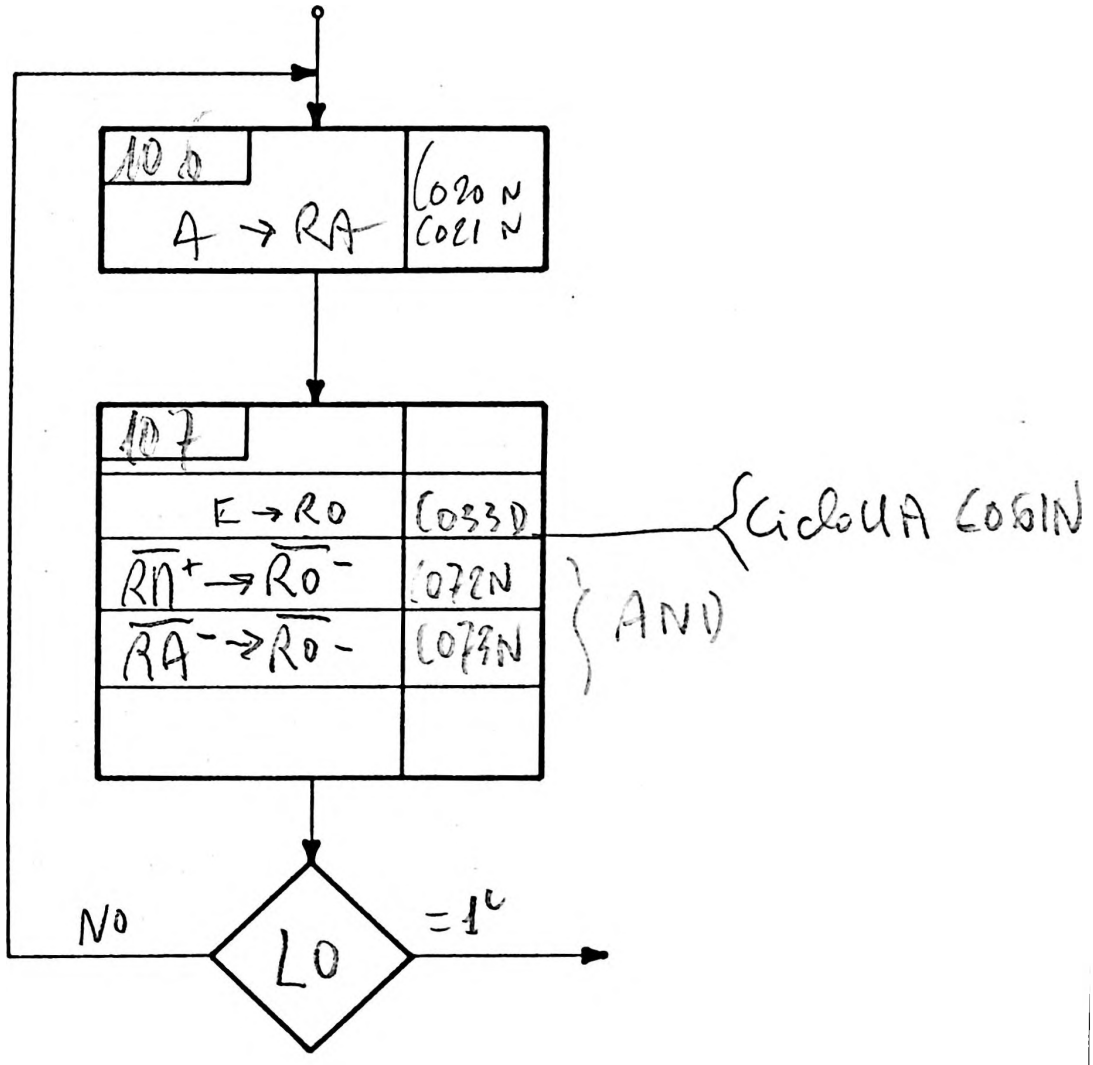


Fig. 9.3.1

NC

Fase Beta

Da fase alfa (S105)

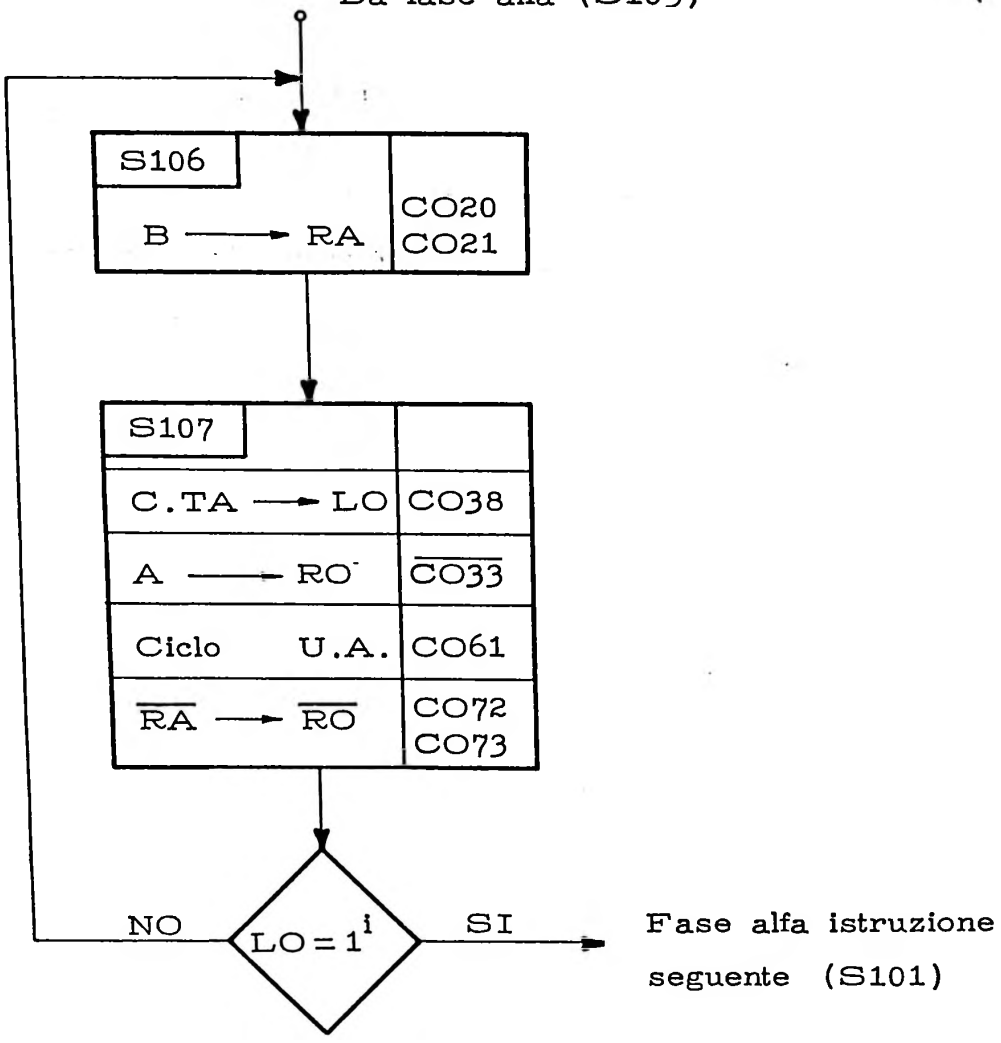


Fig. 9.3.2

e) - E' usata la rete dell'U.A. per questa generazione ?

.....No.....
.....

f) - Quando ha termine l'operazione ?

.....Lo stesso.....
.....

g) - Perchè si avvia il ciclo dell'U.A. ?

.....da istruzione di uscita in RO.....
.....prima nella scrittura.....

h) - A quale campo si riferisce la lunghezza ?

.....del blocco logico.....
.....

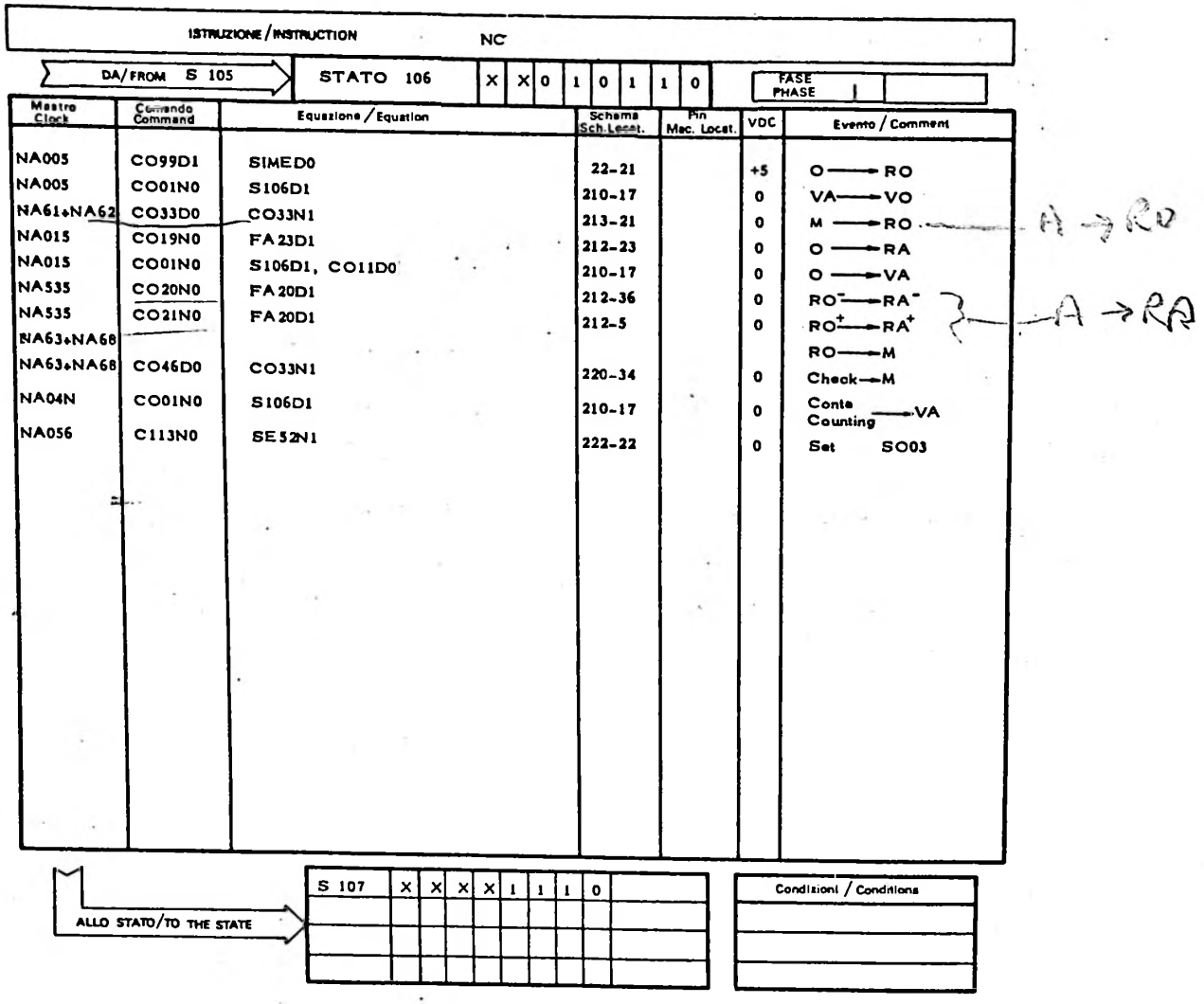
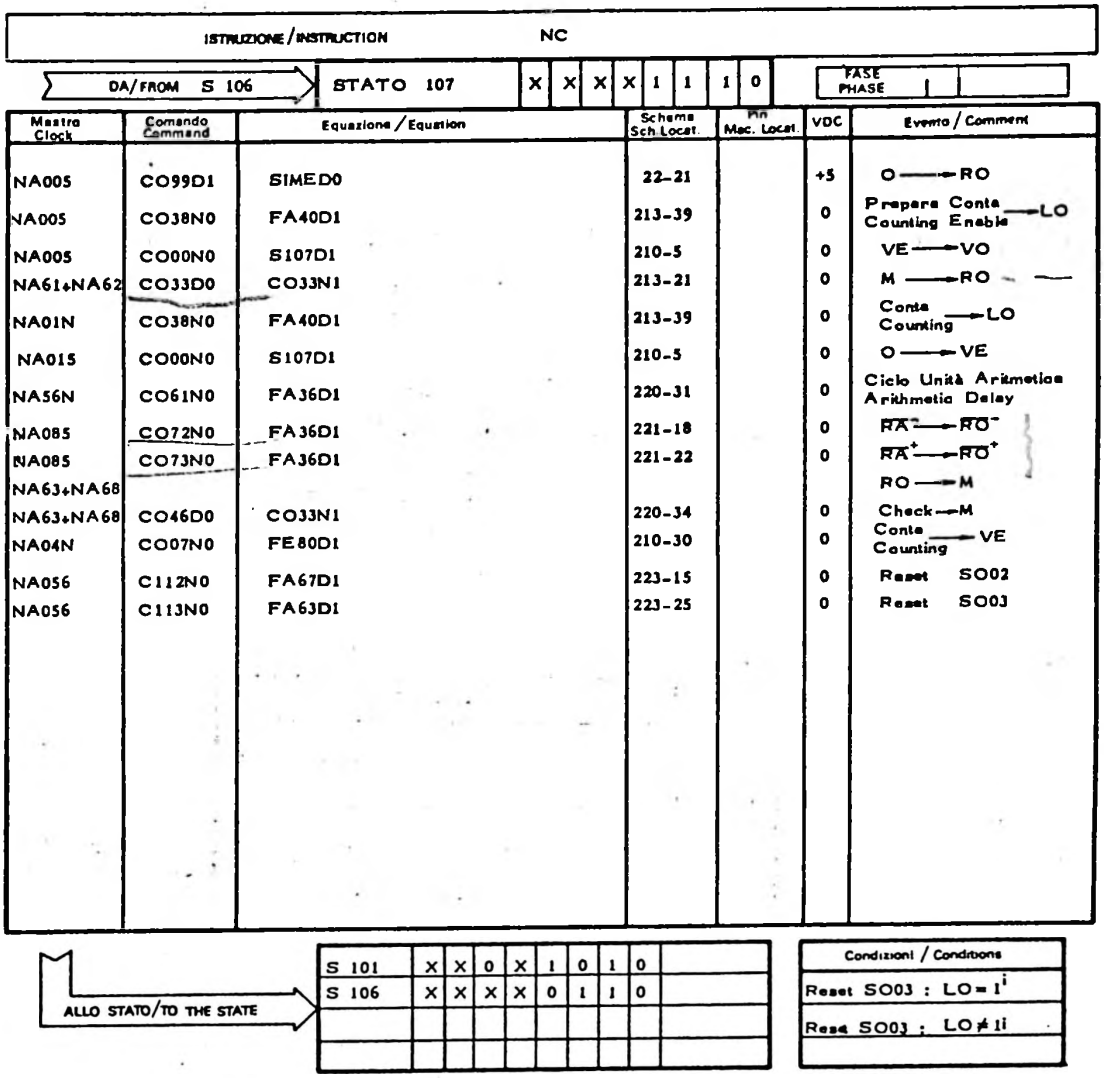

ISTRUZIONE / INSTRUCTION
NC
DA/FROM S 105
STATO 106
X X 0 1 0 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO01N0 S106D1 210-17 0 VA → VO
NA61•NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO19N0 FA23D1 212-23 0 O → RA
NA015 CO01N0 S106D1, CO11D0 210-17 0 O → VA
NA535 CO20N0 FA20D1 212-36 0 RO⁻ → RA⁻
NA535 CO21N0 FA20D1 212-5 0 RO⁺ → RA⁺
NA63•NA68 RO → M
NA63•NA68 CO46D0 CO33N1 220-34 0 Check → M
NA04N CO01N0 S106D1 210-17 0 Conta Counting → VA
NA056 C113N0 SE52N1 222-22 0 Set SO03
A → RO
A → RA
ALLO STATO/TO THE STATE
S 107 X X X X 1 1 1 0
Condizioni / Conditions

Fig. 9.3.3



ISTRUZIONE / INSTRUCTION: NC

DA/FROM S 106 → STATO 107 | X X X X 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable → LO
NA005	CO00N0	S107D1	210-5		0	VE → VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M → RO
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting → LO
NA015	CO00N0	S107D1	210-5		0	O → VE
NA56N	CO61N0	FA36D1	220-31		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO72N0	FA36D1	221-18		0	$\overline{RA}^- \rightarrow \overline{RO}^-$
NA085	CO73N0	FA36D1	221-22		0	$\overline{RA}^+ \rightarrow \overline{RO}^+$
NA63÷NA68						RO → M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check → M
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting → VE
NA056	C112N0	FA67D1	223-15		0	Reset SO02
NA056	C113N0	FA63D1	223-25		0	Reset SO03

E → RO

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	
S 106	X	X	X	X	0	1	1	0	

Condizioni / Conditions
Reset SO03 : LO = 1^i
Reset SO03 : LO ≠ $1i$

Fig. 9.3.4

RISPOSTE

a) - Lo S106 e S107.

b) - Il carattere contenuto nella posizione di memoria indicata da VA viene posto in RA.
Si conta +1 in VA.

c) - Il carattere contenuto nella posizione di memoria indicata da VE viene posto in RO.
Si utilizza il ciclo di U.A.
Si scrive il risultato in memoria all'indirizzo espresso da VE. LO conta -1.
Si conta +1 in VE.

d) -

		RAXX	
		0	1
ROXX	0	ROXX = 0	ROXX = 0
	1	Res.ROXX	ROXX = 1

XX=07+00

e) - No. Poichè si agisce direttamente su RO tramite RA. (volume logica)

f) - Quando LO = 1^i

g) - Per consentire a RO di caricarsi con il risultato dell'operazione prima di scrivere il suo contenuto in memoria.

h) - Ad ambedue i campi.

LEZIONE 10

Tempo di studio
30 minuti

10. FASE BETA DELLE ISTRUZIONI XC – MVC – CMC

10.1. XC - OR ESCLUSIVO

Tale operazione viene eseguita attraverso la rete dell'U.A. e consiste nell'operare mediante i singoli bit di ogni carattere secondo quanto segue :

RA	0	1	1	0	1	0	1
RO	1	0	0	0	1	1	0
RISULTATO	1	1	1	0	0	1	1

Si esegue la somma senza riporti.

Se un flip-flop di RA è a "1" ed il corrispondente di RO è a "1" il risultato è "0" se invece il flip-flop di RO è a "0" e RA è a "1" o viceversa il risultato è "1". Se ambedue i flip-flop corrispondenti dei due registri sono a "0" il risultato è "0".

Completare i diagrammi di flusso di Fig.10.1.1 e quindi rispondere alle seguenti :

DOMANDE

a) - L'OR esclusivo agisce sulla rete dell'U.A. ?

.....SI.....
.....

b) - La lunghezza LO a quali campi è riferita ?

.....entrambi.....
.....

c) - Si completi la seguente tabellina attribuendo a RO ed RA i valori logici " 0 " e " 1 ".

		RAXX	
		0	1
ROXX	0	0	1
	1	1	0

d) - Quando si setta DIVE ?

Se uA ≠ 0

XC

Fase Beta

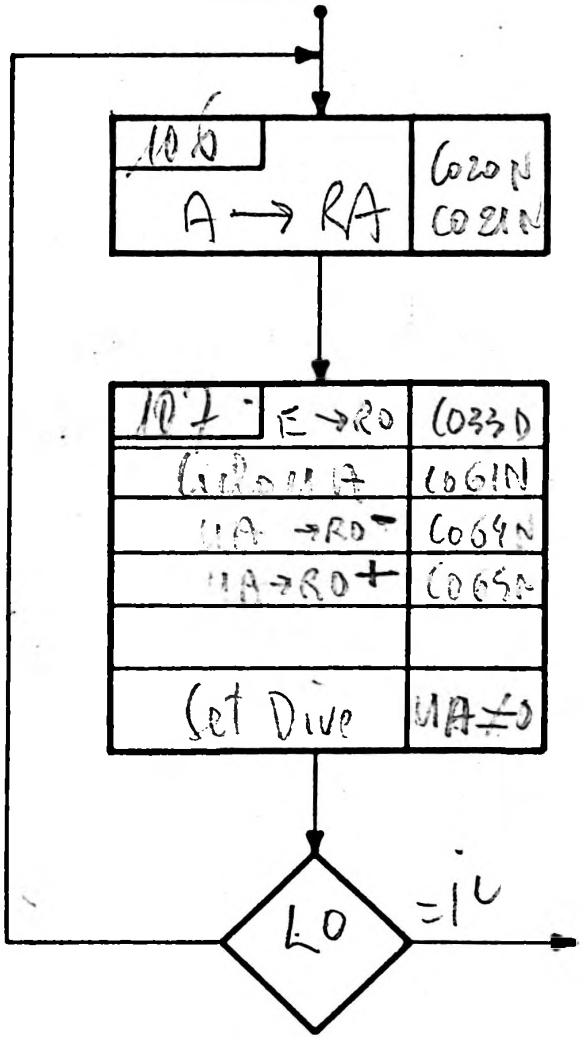


Fig. 10.1.1

XC

Fase Beta

Da Fase Alfa (S105)

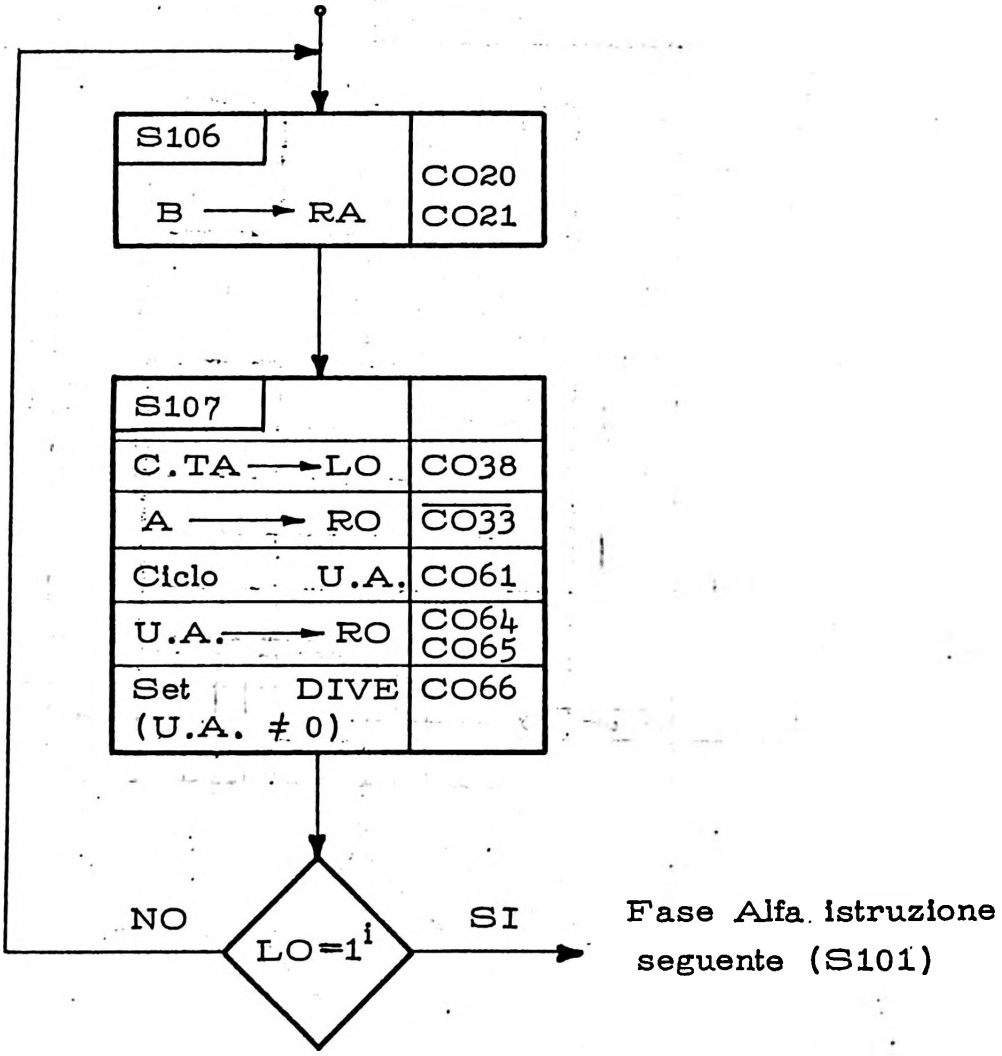
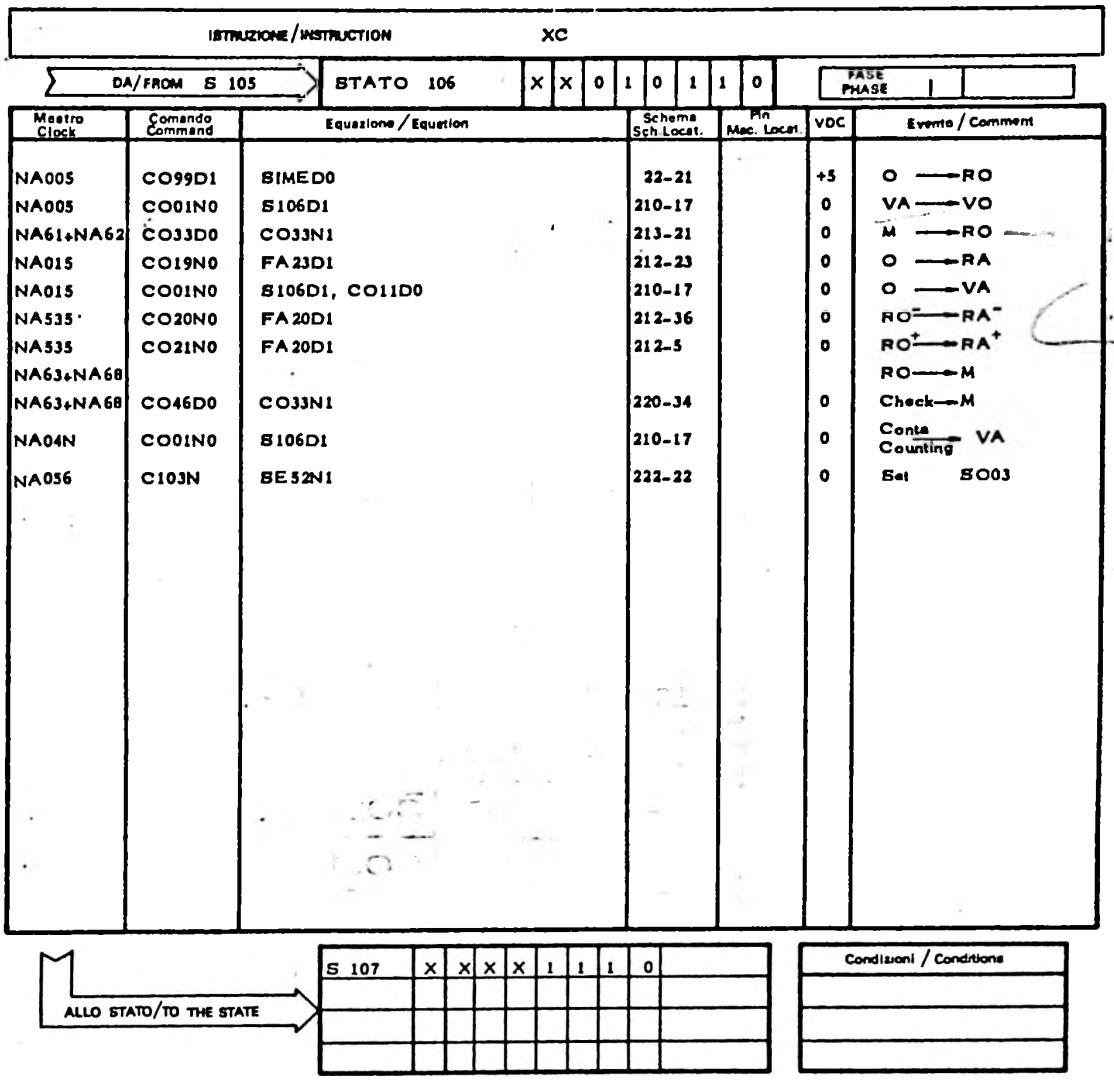


Fig. 10.1.2



ISTRUZIONE / INSTRUCTION XC

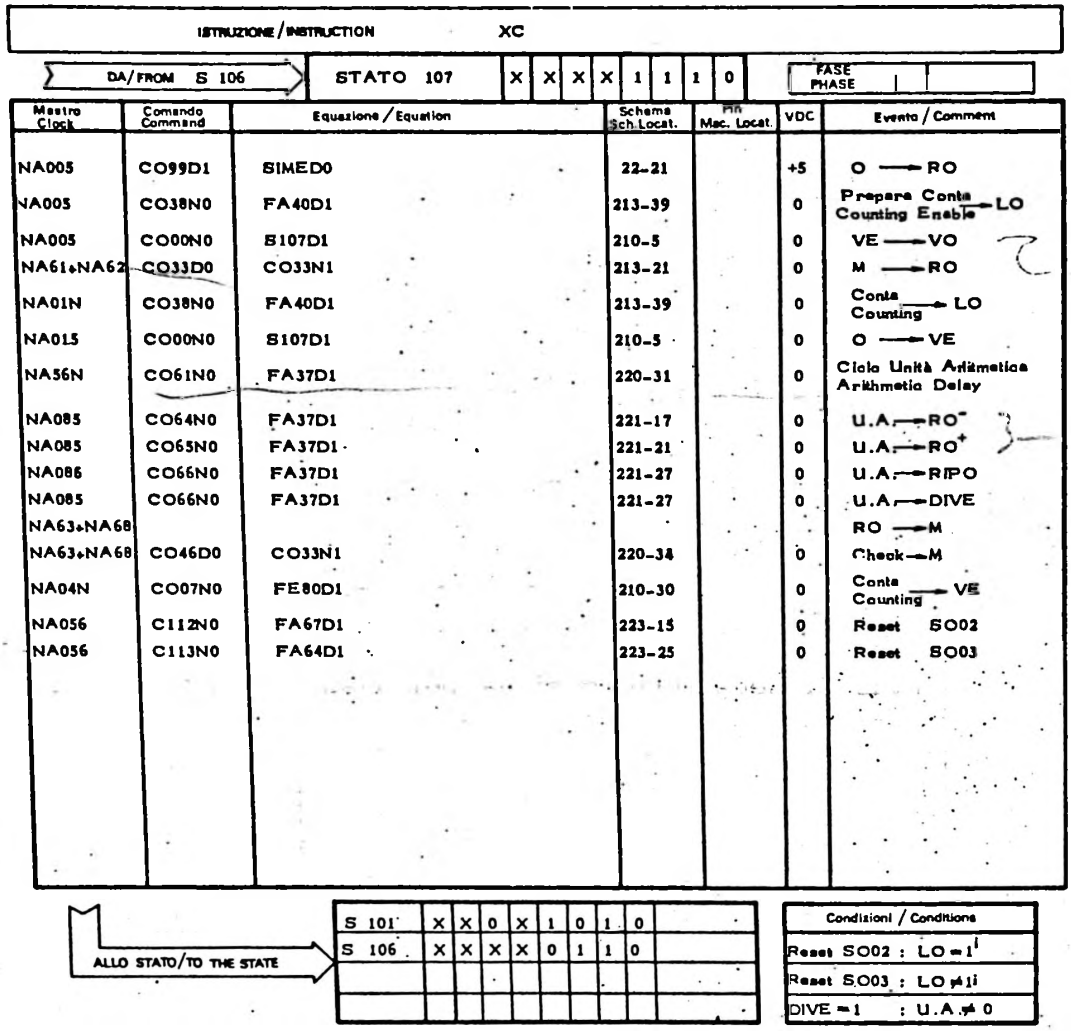
DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1	212-23		0	O ⟶ RA
NA015	CO01N0	S106D1, CO11D0	210-17		0	O ⟶ VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ⟶ VA
NA056	C103N	SE52N1	222-22		0	Set SO03

ALLO STATO/TO THE STATE | S 107 | X X X X 1 1 1 0 |

Condizioni / Conditions

Fig. 10.1.3



ISTRUZIONE / INSTRUCTION XC

DA/FROM S 106 | STATO 107 | X X X X 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Fili Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable → LO
NA005	CO00N0	S107D1	210-5		0	VE → VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M → RO
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting → LO
NA015	CO00N0	S107D1	210-5		0	O → VE
NA56N	CO61N0	FA37D1	220-31		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO64N0	FA37D1	221-17		0	U.A. → RO⁻
NA085	CO65N0	FA37D1	221-21		0	U.A. → RO⁺
NA086	CO66N0	FA37D1	221-27		0	U.A. → RIPO
NA085	CO66N0	FA37D1	221-27		0	U.A. → DIVE
NA63÷NA68						RO → M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check → M
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting → VE
NA056	C112N0	FA67D1	223-15		0	Reset SO02
NA056	C113N0	FA64D1	223-25		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	
S 106	X	X	X	X	0	1	1	0	

Condizioni / Conditions
Reset SO02 : LO = 1
Reset SO03 : LO ≠ 1
DIVE = 1 : U.A. ≠ 0

Fig. 10.1.4

RISPOSTE

a) - Si.

b) - Ad ambedue i campi.

c) -

		RAXX	
		0	1
ROXX	0	0	1
	1	1	0

d) - DIVE si setta quando si ha per risultato almeno un bit $\neq 0$.

10.2. MVC - TRASFERIMENTO

Completare i diagrammi di flusso di Fig. 10.2.1.

DOMANDE

a) - I caratteri del campo A dove vengono posti ?

nel campo E

b) - Si procede per indirizzi crescenti o decrescenti ?

crescenti

c) - A cosa si riferisce la lunghezza ?

di due campi

MVC

Fase Beta

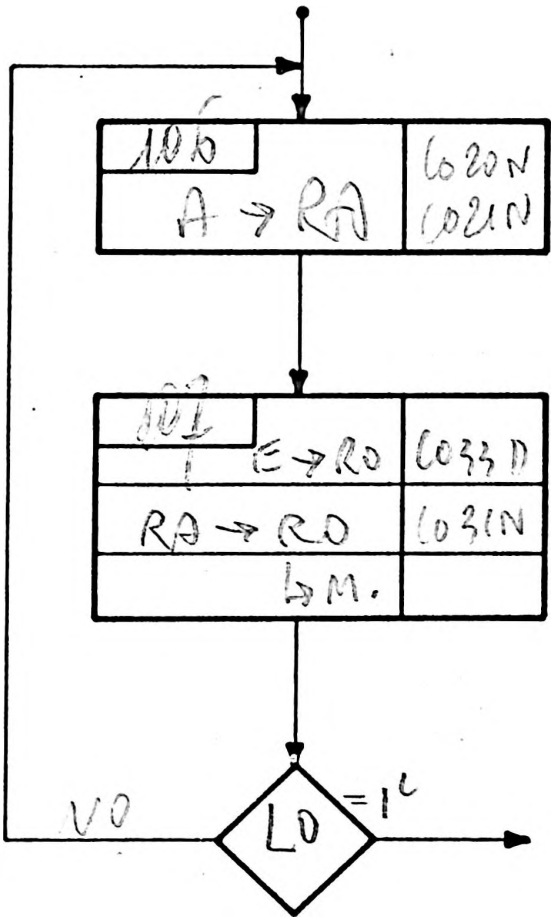
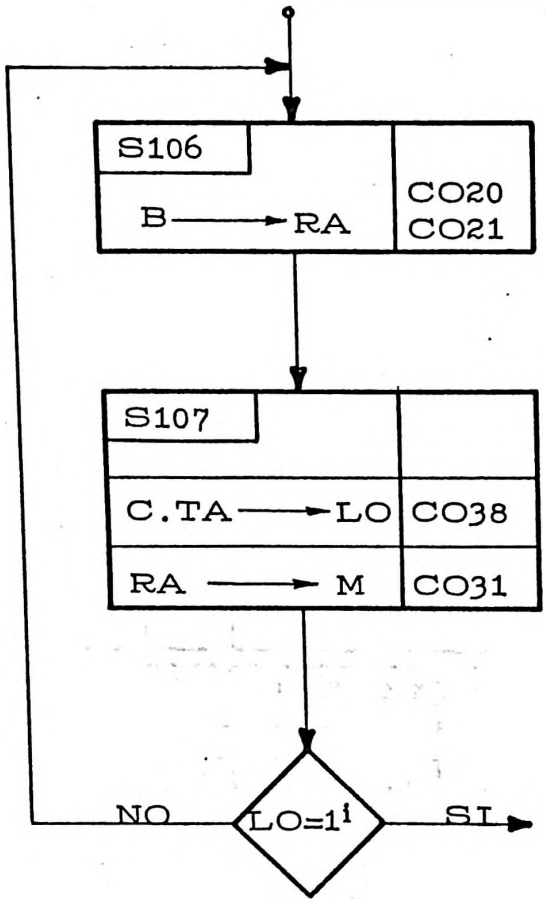


Fig. 10.2.1

MVC

Fase Beta

Da Fase Alfa (S105)



Fase Alfa istruzione seguente (S101)

Fig. 10.2.2

ISTRUZIONE / INSTRUCTION · MVC

DA/FROM S 105 | STATO 106 | X | X | 0 | 1 | 0 | 1 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1 S10650, F107D0	212-23		0	O ⟶ RA
NA015	CO01N0	S106D0 CO11D0	210-17		0	O ⟶ VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ⟶ VA
NA056	C103N0	SE52N1	222-22		0	Set SO03

ALLO STATO/TO THE STATE | S 107 | X | X | X | X | 1 | 1 | 1 | 0 |

Condizioni / Conditions

Fig. 10.2.3

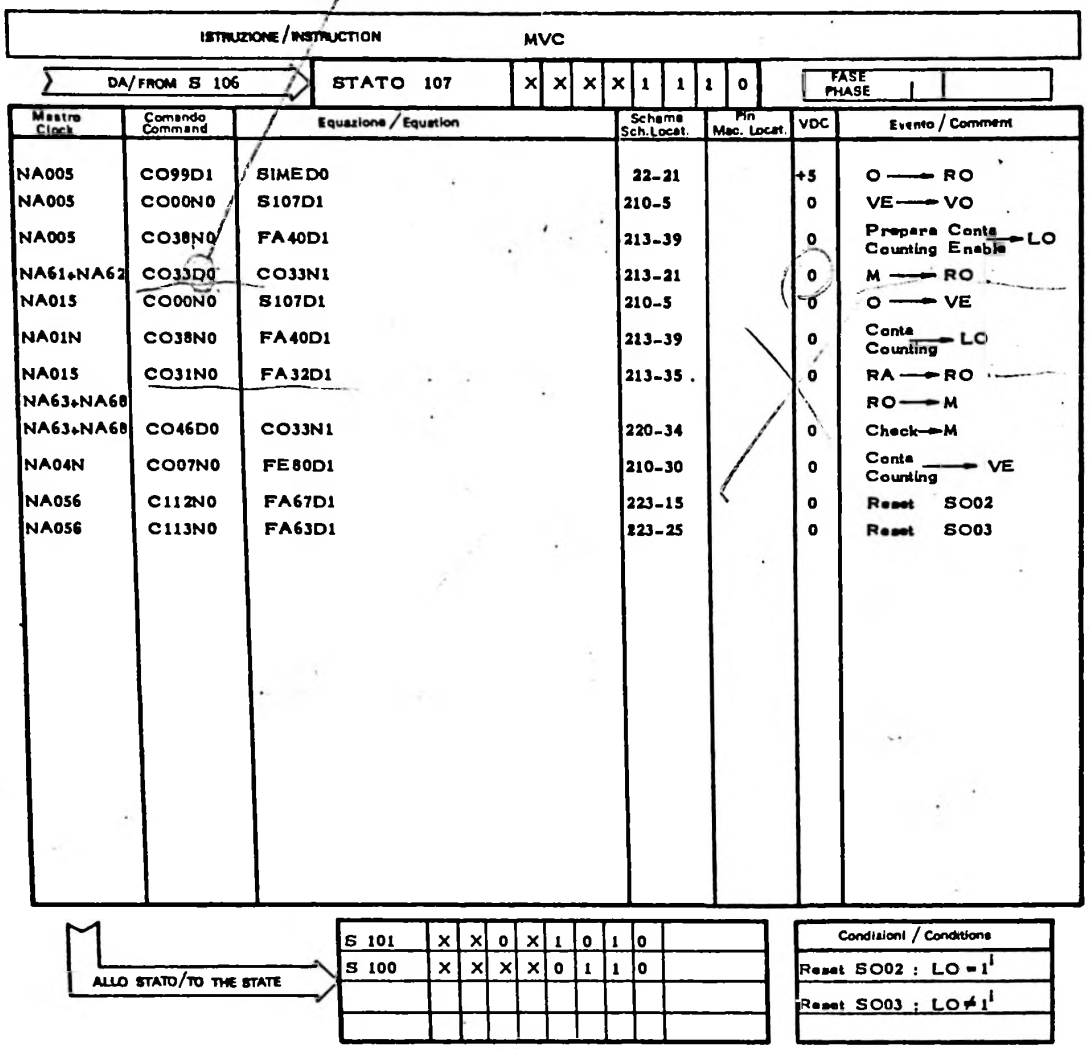

ISTRUZIONE / INSTRUCTION
MVC
DA/FROM S 106
STATO 107
X X X X 1 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch.Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO00N0 S107D1 210-5 0 VE → VO
NA005 CO38N0 FA40D1 213-39 0 Prepara Conta Counting Enable → LO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO00N0 S107D1 210-5 0 O → VE
NA01N CO38N0 FA40D1 213-39 0 Conta Counting → LO
NA015 CO31N0 FA32D1 213-35 0 RA → RO
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 Check → M
NA04N CO07N0 FE80D1 210-30 0 Conta Counting → VE
NA056 C112N0 FA67D1 223-15 0 Reset SO02
NA056 C113N0 FA63D1 223-25 0 Reset SO03
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
S 100 X X X X 0 1 1 0
Condizioni / Conditions
Reset SO02 : LO = 1
Reset SO03 : LO ≠ 1

Fig. 10.2.4

RISPOSTE

a) - I caratteri del campo A vengono posti nel campo E.

b) - Per indirizzi crescenti.

c) - Ad ambedue i campi.

10.3. CMC - CONFRONTO

Il confronto viene ottenuto facendo la differenza di ogni singolo carattere del campo A con il corrispondente carattere del campo E.

Ogni carattere del campo A viene sottratto al corrispondente del campo E.

Riportare, nello schema di Fig. 10.3.1 gli eventi principali che interessano l'istruzione e rispondere :

DOMANDE

a) - E' utilizzato il risultato della sottrazione fra i due caratteri dei due campi A ed E ?

..N.o. ... solo che UA eccita Dive con il
.....1° risultato ≠ (fine O.P.).....

b) - Se il risultato del confronto tra due caratteri è ≠ 0 si prosegue il confronto ?

NO = fine O.P.
.....
.....

c) - Qual'è l'organo che memorizza il risultato ≠ 0 ?

.....DIVE.....
.....

d) - E quello che memorizza i riporti ?

.....RIPO.....
.....

CMC

Fase Beta

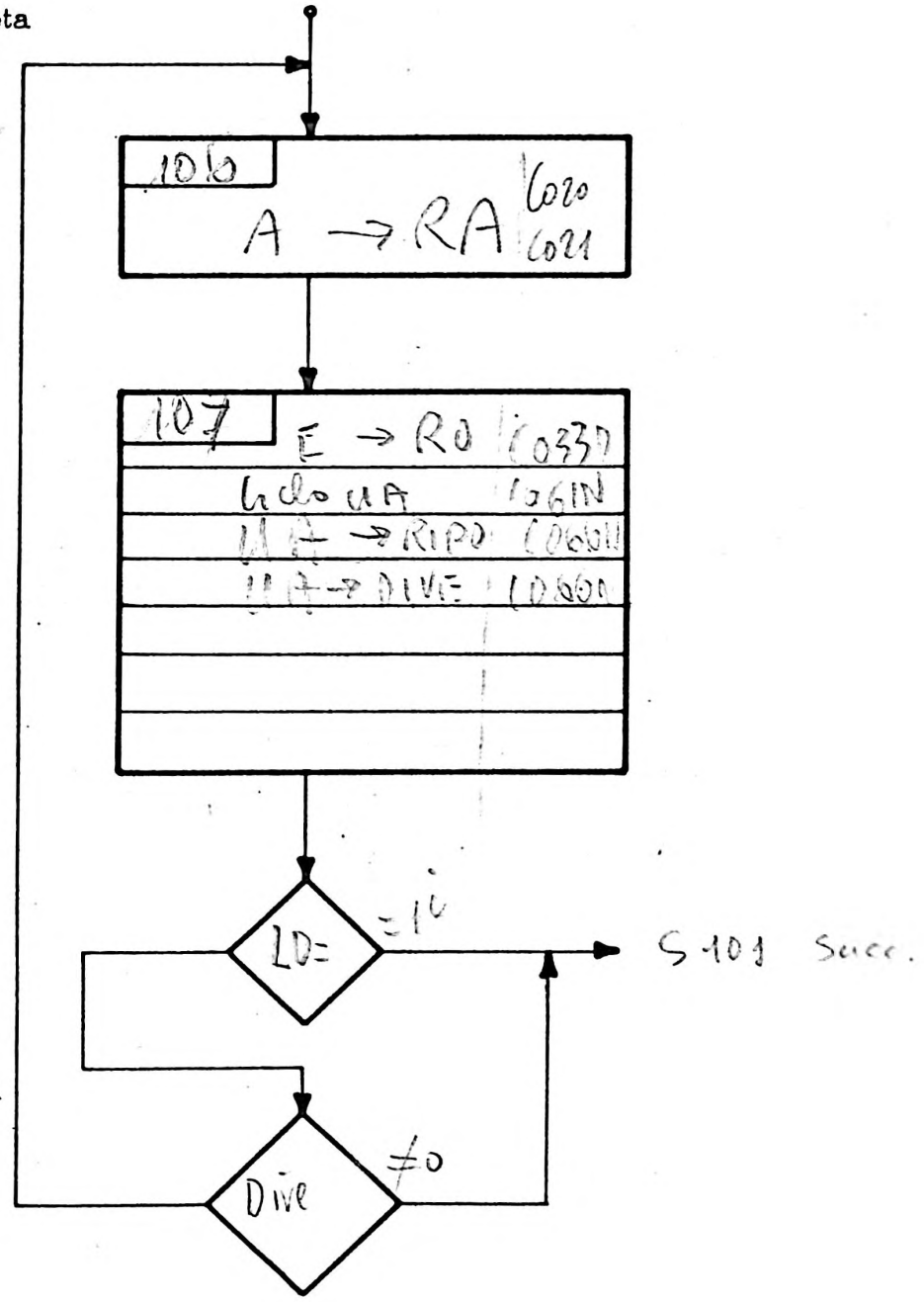


Fig. 10.3.1

CMC

Fase Beta

Da Fase Alfa (S105)

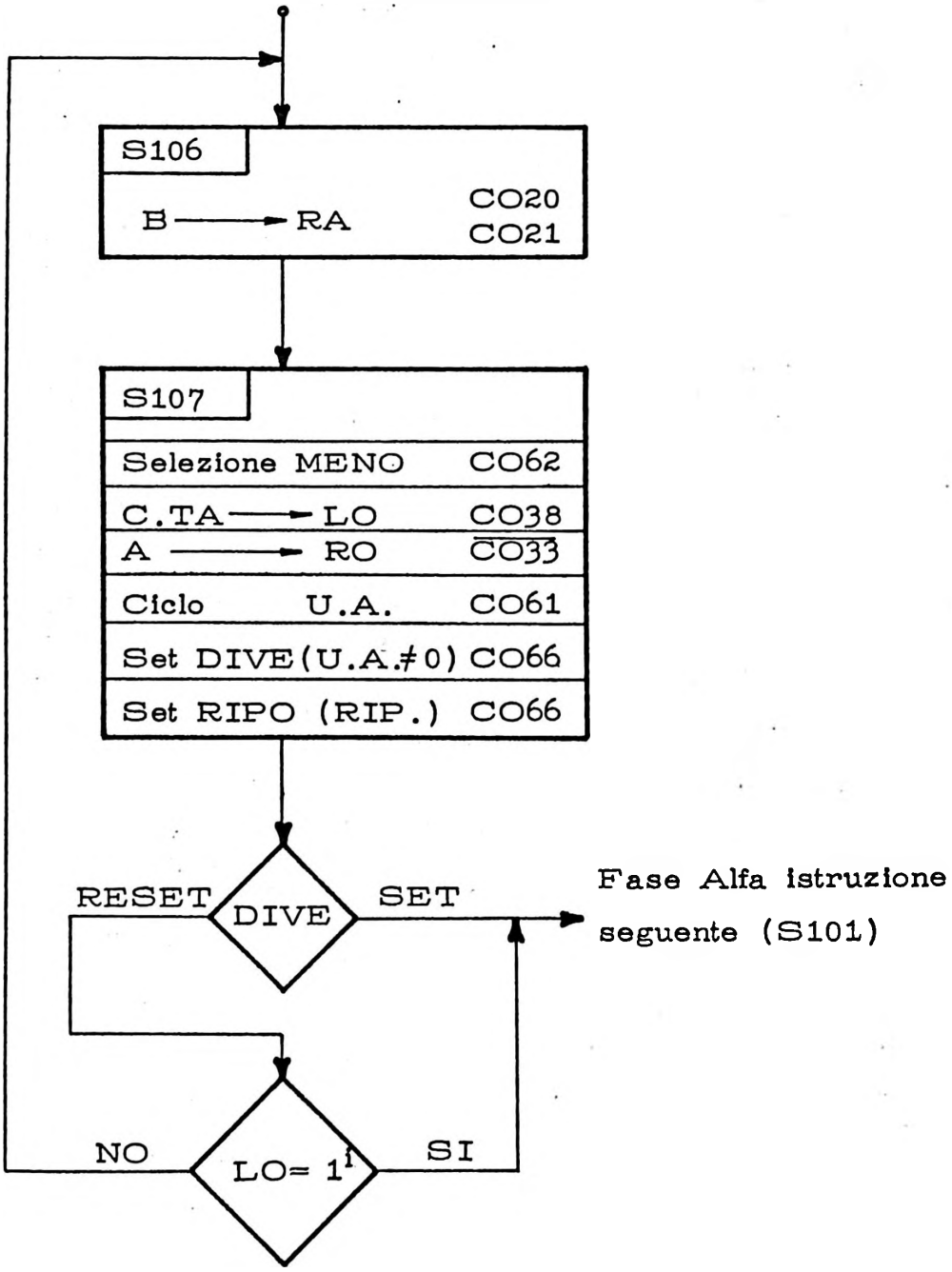
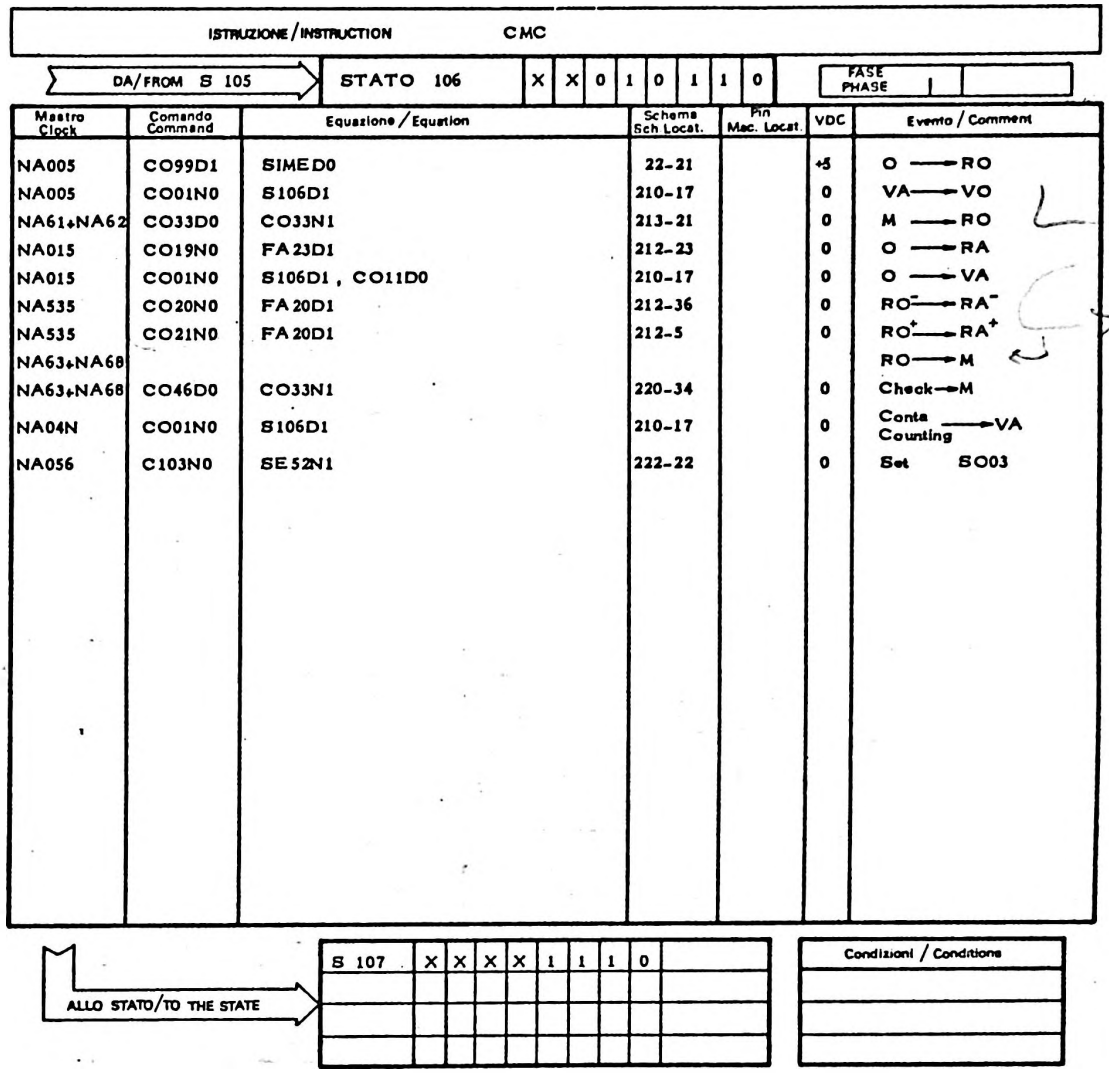


Fig. 9.3.2

CMC



ISTRUZIONE / INSTRUCTION CMC

DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO01N0	S106D1	210-17		0	VA → VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO19N0	FA23D1	212-23		0	O → RA
NA015	CO01N0	S106D1 , CO11D0	210-17		0	O → VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \rightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \rightarrow RA^+$
NA63÷NA68						RO → M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check → M
NA04N	CO01N0	S106D1	210-17		0	Conta Counting → VA
NA056	C103N0	SE52N1	222-22		0	Set SO03

ALLO STATO/TO THE STATE | S 107 | X X X X 1 1 1 0 |

Condizioni / Conditions

Fig. 10.3.3

ISTRUZIONE / INSTRUCTION			CMC									
DA/FROM S 106		STATO 107	X	X	X	X	1	1	1	0	FASE PHASE	

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
	CO62N0	FA34D1	221-2		0	Selezione Meno Minus Counting Select
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VD
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA01N	CO38N0	FA40D1	213-39		0	Conta ⟶ LO Counting
NA015	CO00N0	S107D1	210-5		0	O ⟶ VE
NA56N	CO61N0	FA34D1	220-31		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO66N0	FA34D1	221-27		0	U.A. ⟶ RIPO
NA085	CO66N0	FA34D1	222-27		0	U.A. ⟶ DIVE
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA056	CO07N0	FE80D1	210-30		0	Conta ⟶ VE Counting
	C112N0					Reset SO02
	C113N0					Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	(DIVE=1)(CARRY)
S 106	X	X	X	X	0	1	1	0	(DIVE)(CARRY)

Condizioni / Conditions
DIVE = 1 : UA ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 10.3.4

e) - Quali organi indicano al termine del confronto il risultato ?

DIVE RIPO

.....

.....

f) - Completare la tabellina seguente tenendo presente gli eventuali risultati E<A, E=A, E>A, indicando il valore binario (1 o 0) di RIPO e DIVE

RIPO	DIVE = 0	DIVE = 1
0		E < A
1	E = A	E > A

g) - Come sono utilizzabili le condizioni espresse da RIPO e DIVE a fine confronto ?

Come istruzione. Ja, nei salti!

.....

.....

h) - Se i caratteri sono alfabetici si effettua il confronto ?

.....Sì.....

.....Sì.....

i) - I risultati del confronto sono esprimibili con esattezza in qualsiasi codice ?

.....No... Con sistema tabellare sì ...

.....

.....

Sì se si vuole sfruttare la

Codice = .0 ---

RISPOSTE

a) - No, interessano solo le condizioni che esso ha predisposto.

b) - No, poichè non interessano le altre cifre dei dati.

c) - Il flip-flop DIVE.

d) - Il flip-flop RIPO.

e) - DIVE e RIPO.

f) -

		DIVE 0	DIVE 1
RIPO	0		E < A
	1	E = A	E > A

g) - Con una successiva istruzione di salto.

h) - Si.

i) - No. Bisogna tener presente che i risultati di un confronto sono vincolati dalla configurazione in bit dei caratteri.
Se si confronta il carattere A, espresse in codice Hollerith, con il carattere B, espresso nello stesso codice, il confronto è significativo (A< B), poichè i due caratteri vengono espressi in bit il cui peso totale su un carattere (A) è inferiore a quello dell'altro (B).

In generale si può dire che se in un codice tutti i caratteri sono ordinati secondo il peso binario (A<B<C ecc. 1<2<3 ecc.) il confronto è significativo.
Se invece, come talora accade, si usano codici in cui l'ordine dei caratteri è casuale, per esempio nel codice perforazione 9003 (B<A.....9<3 ecc.) il confronto indica B<A ma tale risultato non è utilizzabile.
Per evitare confusione nel caso in cui si lavori con codici "non pesati" si usufruisce delle indicazioni delle macchine solo per indicare se il confronto è uguale o diverso non potendo verificare se l'uno è ≷ dell'altro.

		DIVE	
		0	1
RIPO	0		E ≠ A
	1	E = A	E ≠ A

LEZIONE 11

Tempo di studio
30 minuti

11. FASE BETA DELLE ISTRUZIONI PK E UPK

11.1. PK - IMPACCAMENTO

L'operazione si esegue su una copia di caratteri del campo A interessando la parte meno significativa di ogni carattere.

Le parti (4 bit ciascuna) sono riunite i una sola posizione di memoria del campo E come nell'esempio seguente :

	1° Carattere		2° Carattere	
	+	-	+	-
Dato iniziale in CAMPO E	0010	0101		
CAMPO A	1101	1101	1011	1000
RISULTATO IN CAMPO E	1101	1000		

Elencare gli eventi degli STATI della fase beta dell'istruzione PK nella tavola di Fig. 11.1.1 indi rispondere alle seguenti :

DOMANDE

a) - Qual'é il primo STATO interessato ?

S.10.6

b) - Qual'è il secondo STATO interessato ?

106

c) - Qual'è il terzo STATO interessato ?

107

d) - Cosa si verifica nel primo STATO 106 ?

estrae 1 car. copia A → RO → RA +

e) - Cosa si verifica nel secondo STATO 106 ?

estrae 2° caratt. copia A → RO → RA —

VA + 1

f) - Cosa si verifica nello STATO 107 ?

(IndM → RO) + RA → RO → M

calcolo check - VE + 1

g) - Si elabora per indirizzi crescenti o decrescenti ?

crescenti

h) - In quale STATO è interessato il flip-flop SO05 ? Perchè ?

v. Risposta

i) - A quali campi si riferisce la lunghezza ?

Lungo E

PK

Fase Beta

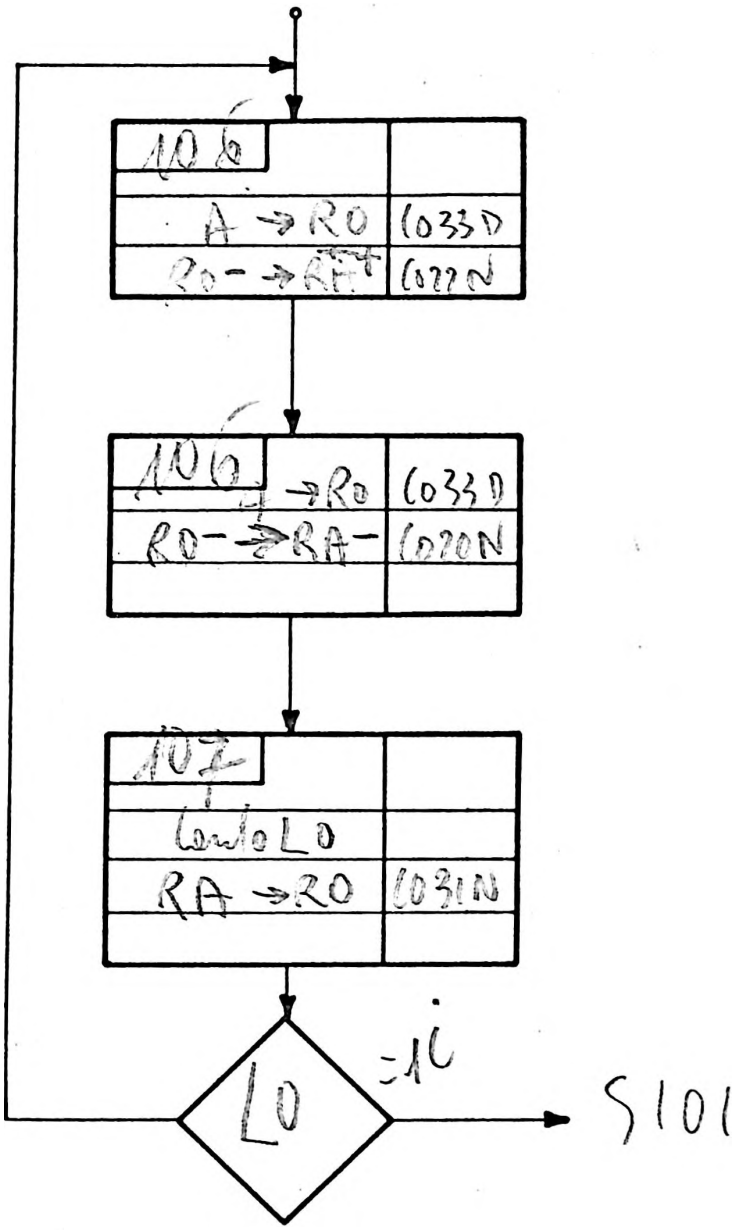


Fig. 11.1.1

PK

Fase Beta

Da Fase Alfa (S 105)

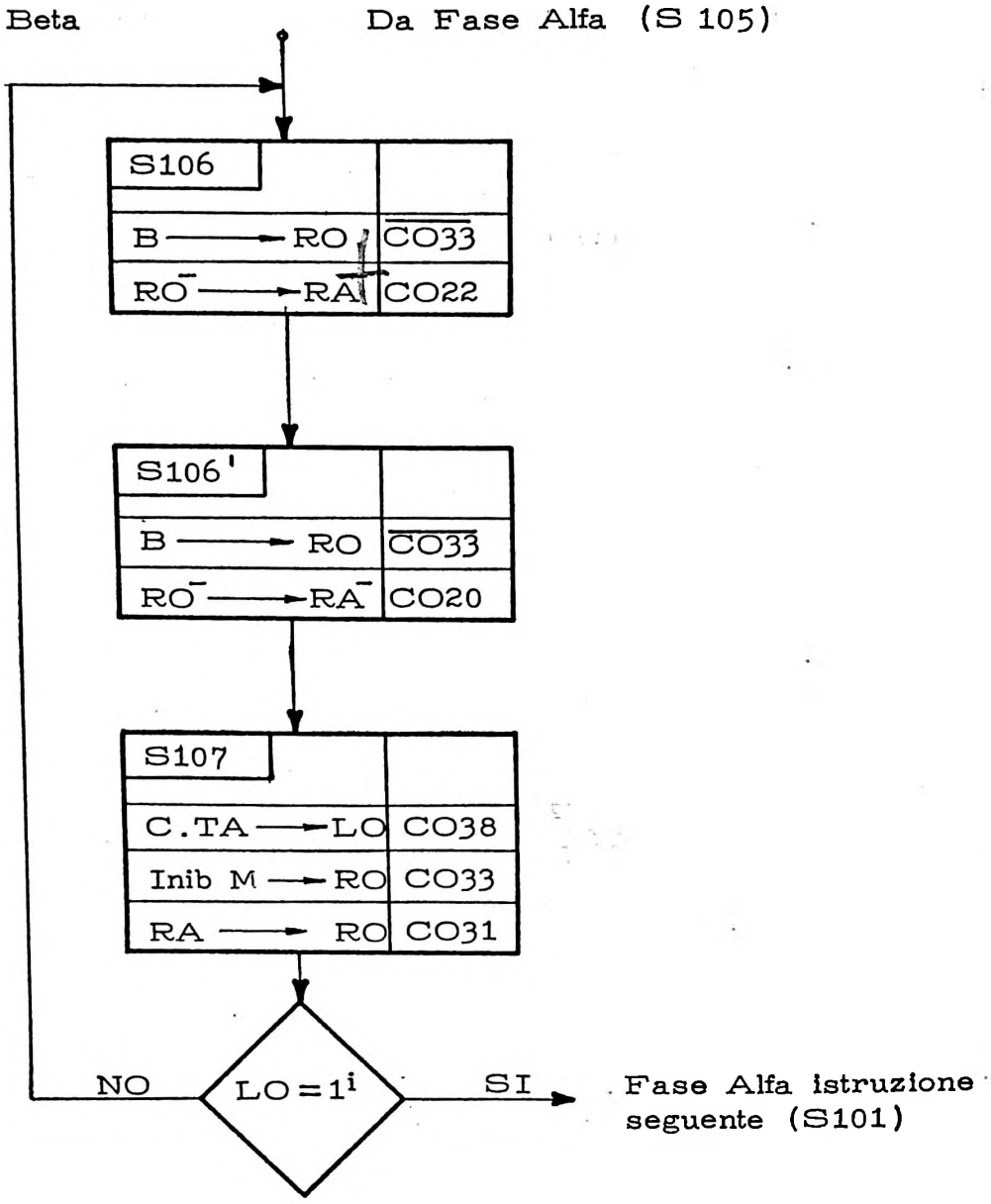


Fig. 11.1.2

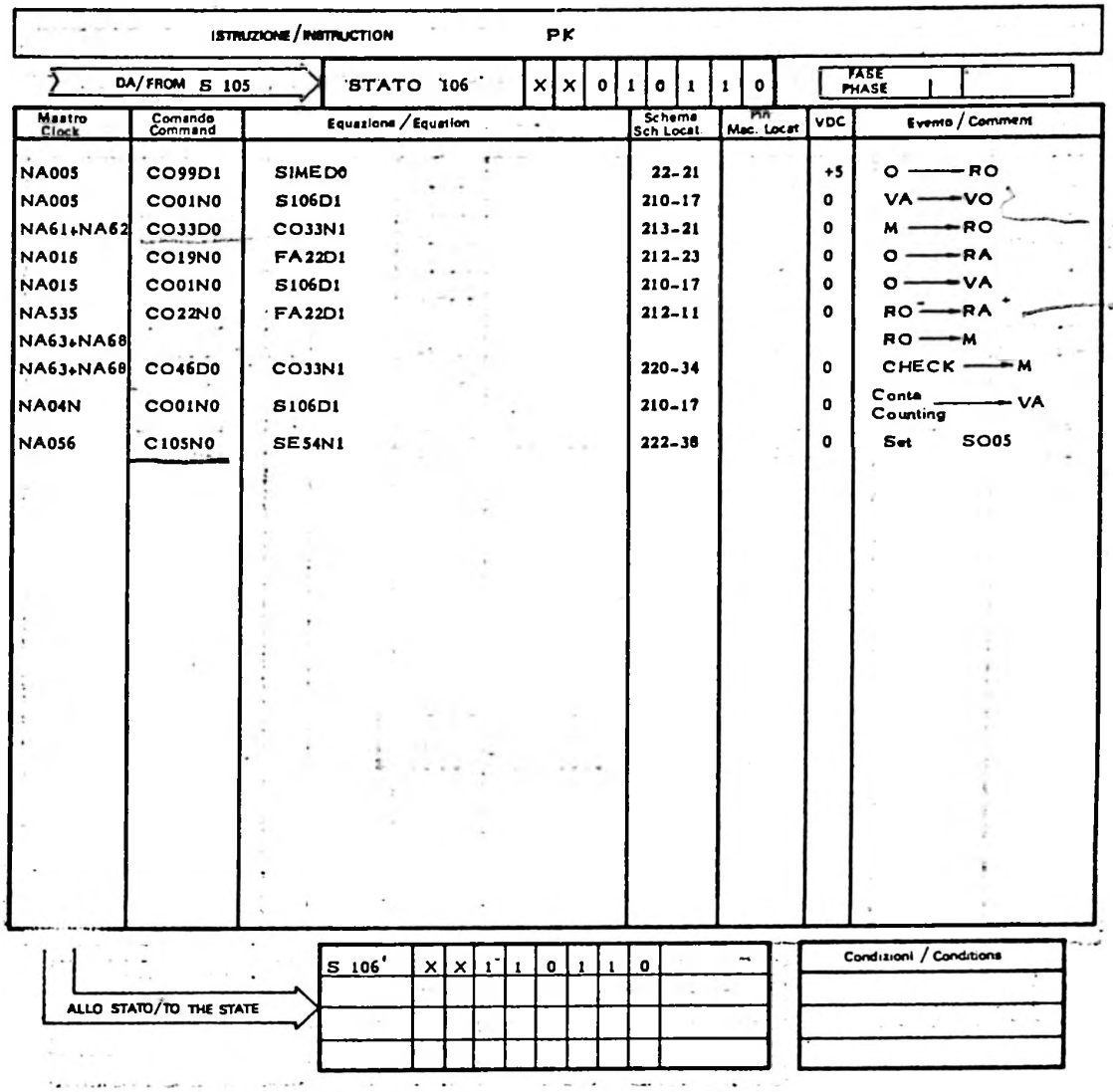

ISTRUZIONE / INSTRUCTION PK
DA/FROM S 105
STATO 106
X X 0 1 0 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch Locat
Pin Mac. Locat
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O ——— RO
NA005 CO01N0 S106D1 210-17 0 VA ——— VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M ——— RO
NA016 CO19N0 FA22D1 212-23 0 O ——— RA
NA015 CO01N0 S106D1 210-17 0 O ——— VA
NA535 CO22N0 FA22D1 212-11 0 RO ——— RA
NA63+NA68 RO ——— M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK ——— M
NA04N CO01N0 S106D1 210-17 0 Conta Counting ——— VA
NA056 C105N0 SE54N1 222-38 0 Set SO05
ALLO STATO/TO THE STATE
S 106' X X 1 1 0 1 1 0
Condizioni / Conditions

Fig. 11.1.3

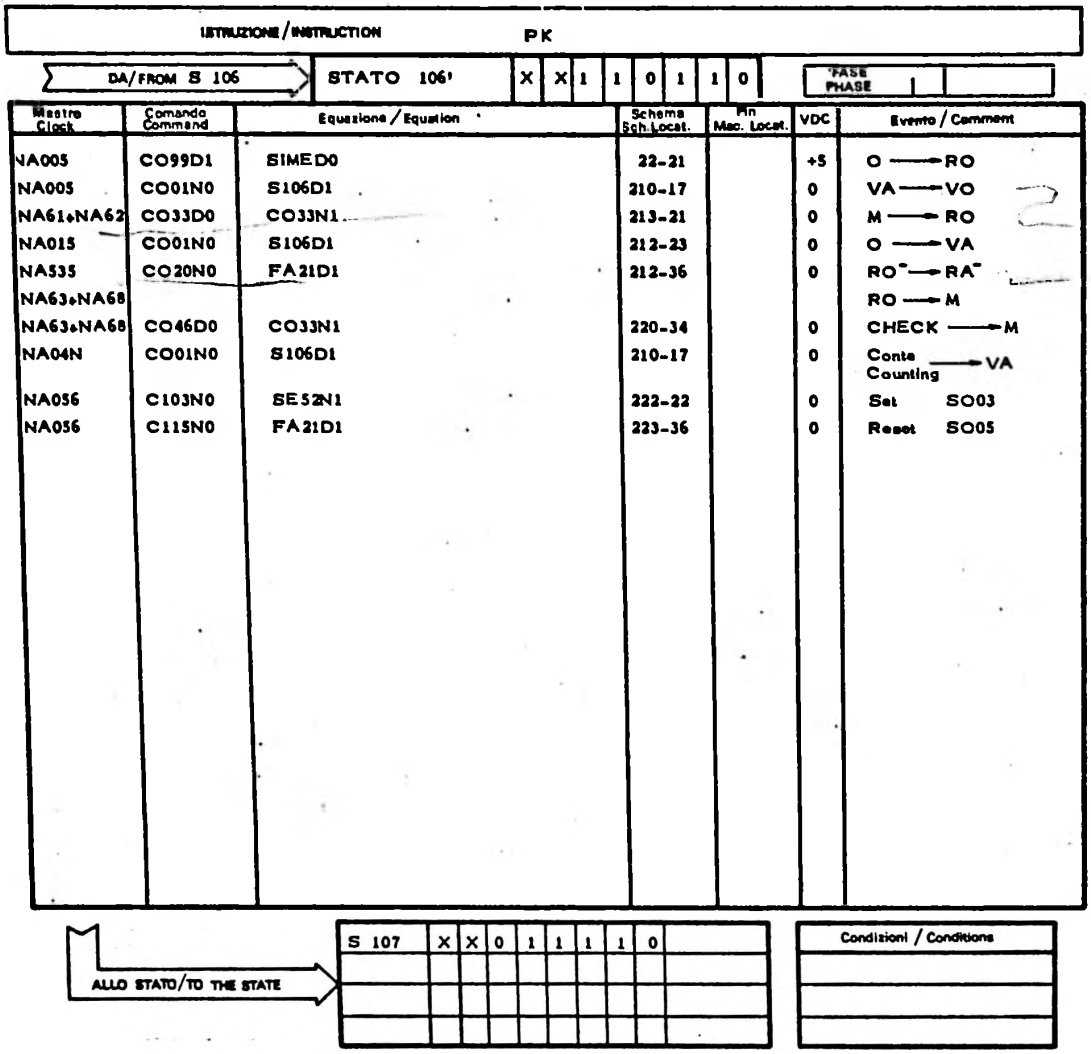
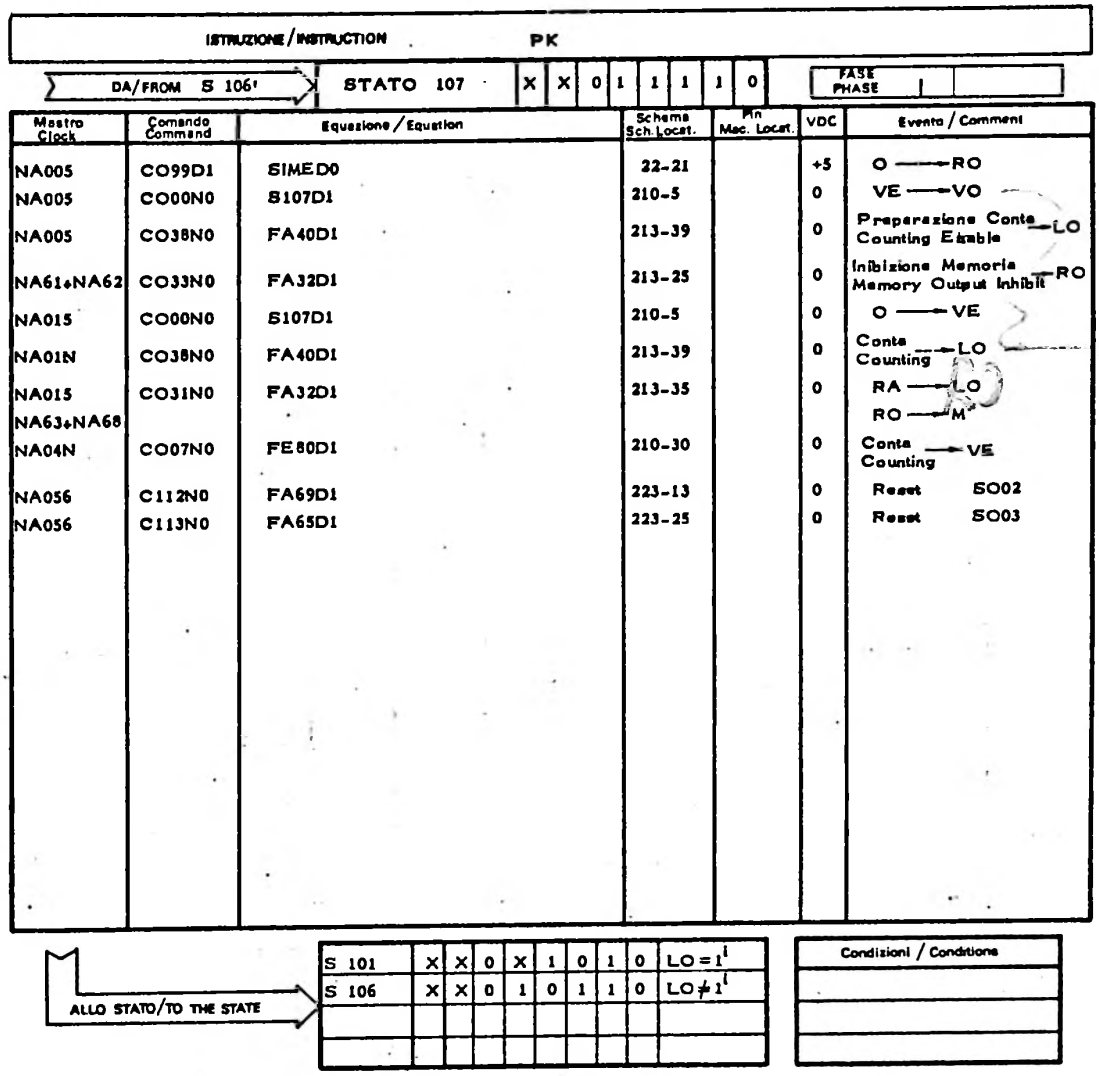

ISTRUZIONE / INSTRUCTION
PK
DA/FROM S 106
STATO 106'
X X 1 1 0 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO01N0 S106D1 210-17 0 VA → VO
NA61•NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO01N0 S106D1 212-23 0 O → VA
NA535 CO20N0 FA21D1 212-36 0 RO" → RA"
NA63•NA68 RO → M
NA63•NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO01N0 S106D1 210-17 0 Conte Counting → VA
NA056 C103N0 SE52N1 222-22 0 Set SO03
NA056 C115N0 FA21D1 223-36 0 Reset SO05
ALLO STATO/TO THE STATE
S 107 X X 0 1 1 1 1 0
Condizioni / Conditions

Fig. 11.1.4



ISTRUZIONE / INSTRUCTION PK

DA/FROM S 106' | STATO 107 | X X 0 1 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——→RO
NA005	CO00N0	S107D1	210-5		0	VE ——→VO
NA005	CO38N0	FA40D1	213-39		0	Preparazione Conta ——→LO Counting Enable
NA61÷NA62	CO33N0	FA32D1	213-25		0	Inibizione Memoria ——→RO Memory Output Inhibit
NA015	CO00N0	S107D1	210-5		0	O ——→VE
NA01N	CO38N0	FA40D1	213-39		0	Conta ——→LO Counting
NA015	CO31N0	FA32D1	213-35		0	RA ——→LO
NA63÷NA68						RO ——→M
NA04N	CO07N0	FE80D1	210-30		0	Conta ——→VE Counting
NA056	C112N0	FA69D1	223-13		0	Reset SO02
NA056	C113N0	FA65D1	223-25		0	Reset SO03

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LO = 1'
S 106	X	X	0	1	0	1	1	0	LO ≠ 1'

Condizioni / Conditions

Fig. 11.1.5

RISPOSTE

a) - Lo S106.

b) - La ripetizione dello S106.

c) - Lo S107.

d) - Si legge il primo carattere del campo A e si pone in RO_f. Si trasferisce il contenuto di RO^- (03,00) in RA^+ (07,04). VA conta +1.

e) - Si legge il secondo carattere del campo A e lo si pone in RO. Si trasferisce il contenuto di RO^- (03,00) in RA^- (03,00). VA conta +1.

f) - Si inibisce la lettura da memoria. Il carattere letto va perso. Si trasferisce il contenuto di RA in RO e lo si scrive in memoria.
LO conta -1. La rete di check calcola il bit di disparità. VE conta +1.

g) - Per indirizzi crescenti.

h) - Nello S106. E' interessato perchè stabilisca quando è necessario fare il trasferimento RO 03,00 → RA 07,04 ed RO 03,00 → RA 03,00.

i) - Solo al campo E.

11.2. UPK - DISIMPACCAMENTO

Tale istruzione consente di eseguire l'operazione inversa dell'impaccamento.

Infatti essa interessa un carattere del campo A e due posizioni del campo E .

	1° Carattere		2° Carattere	
	+	-	+	-
DATI INIZIALI IN CAMPO E	0010	0101	0111	1101
CAMPO A	1100	1000		
RISULTATO IN CAMPO E	0010	1100	0111	1000

Completare lo schema di flusso di Fig. 11.2.1 e rispondere alle seguenti :

DOMANDE

a) - Qual'é il primo STATO interessato e cosa genera ?

.....
.....10.5.....

b) - Qual'é il secondo STATO interessato e cosa genera ?

.....
.....10.7.....

c) - Qual'è il terzo STATO interessato e cosa genera ?

.....
.....107.....

d) - Qual'è il flip-flop che consente due tipi diversi di operazioni pur trovandosi nello stesso STATO ?

.....S0.05.....
.....

e) - A quali campi si riferisce la lunghezza ?

.....campo A.....
.....

f) - Si avvia il ciclo aritmetico ?

.....Si.....
.....

UPK

Fase Beta

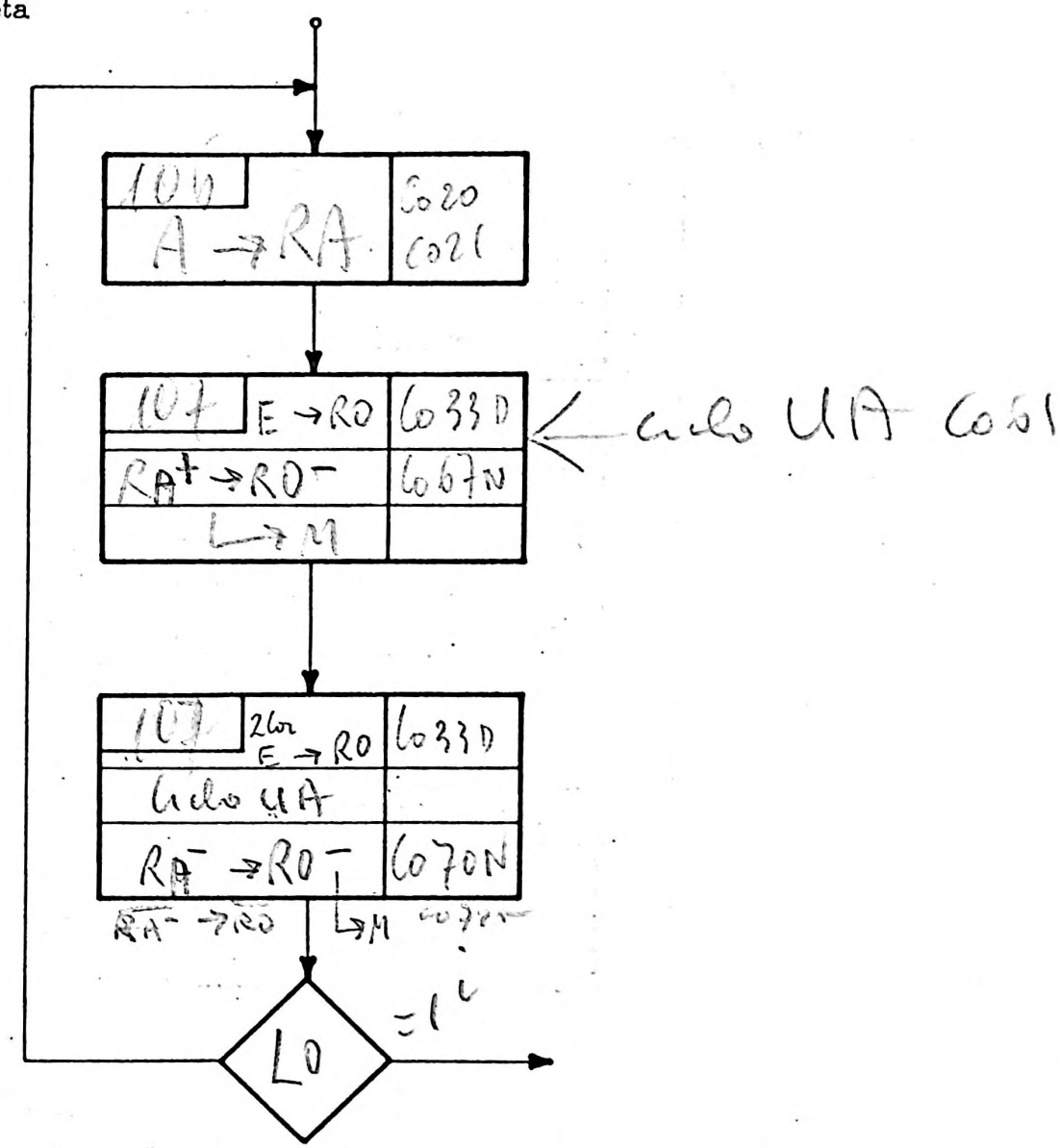


Fig. 11.2.1

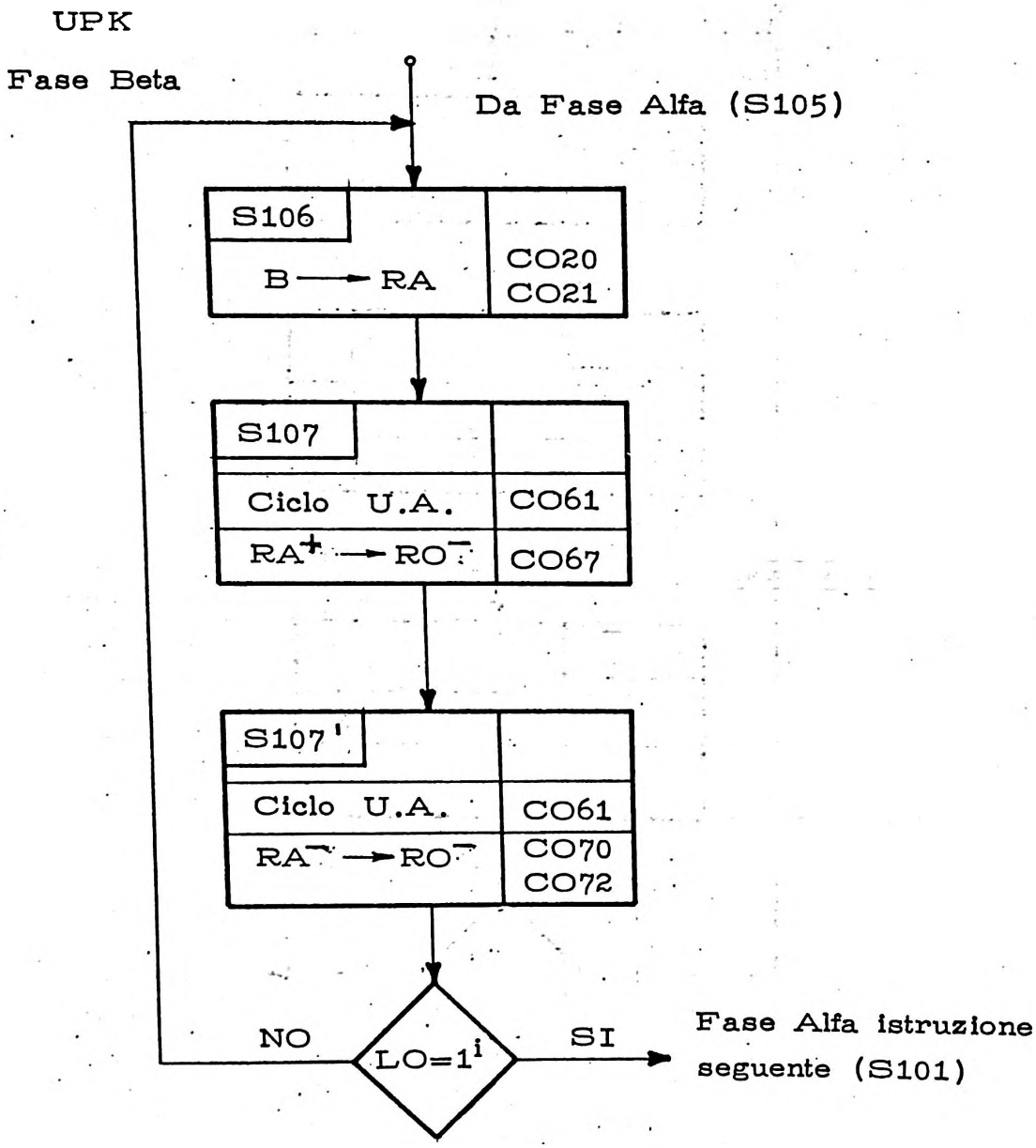
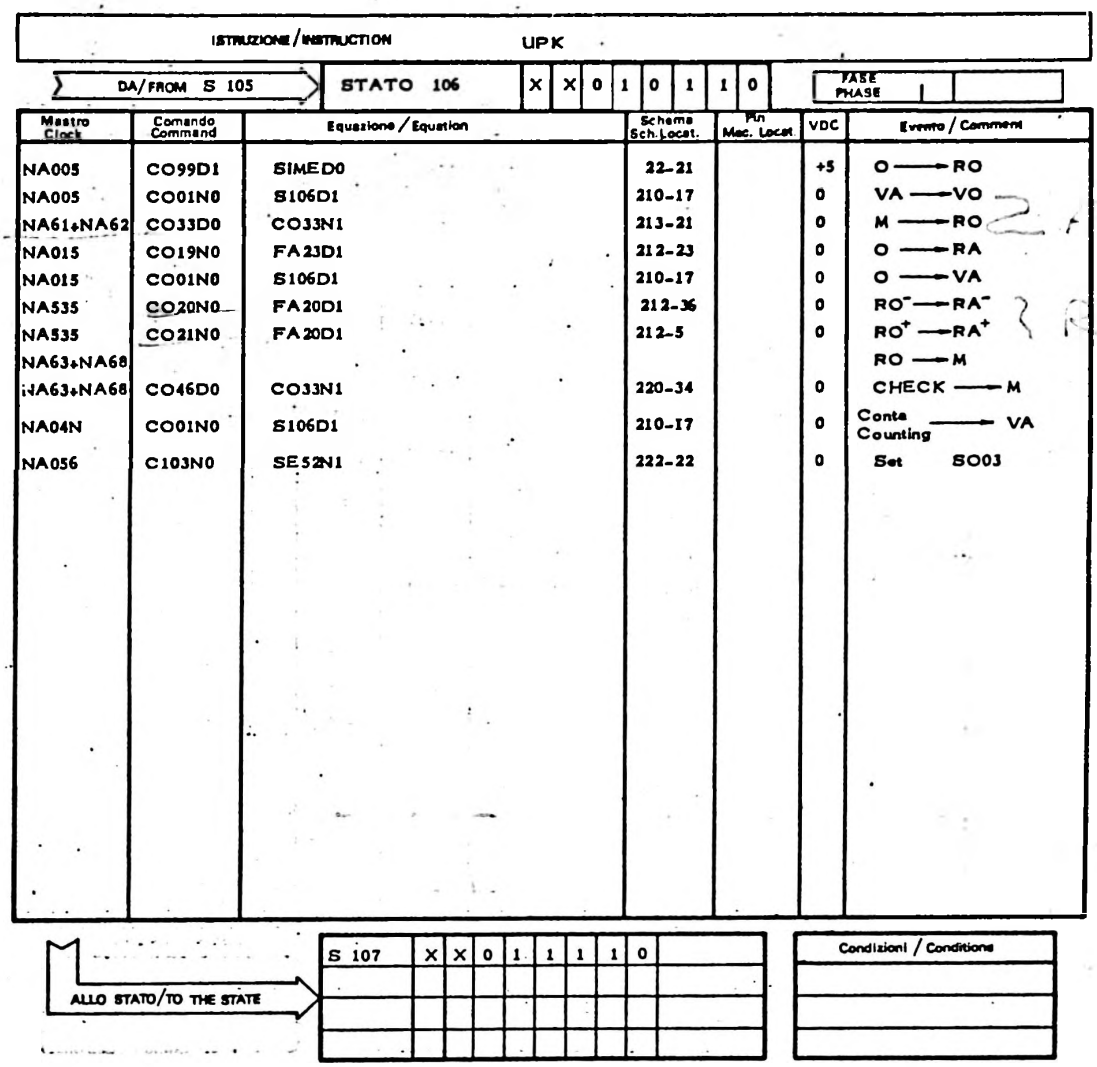

UPK
Fase Beta
Da Fase Alfa (S105)
S106
B → RA
CO20
CO21
S107
Ciclo U.A.
CO61
RA+ → RO
CO67
S107'
Ciclo U.A.
CO61
RA → RO
CO70
CO72
NO
LO=1i
SI
Fase Alfa istruzione seguente (S101)

Fig. 11.2.2



ISTRUZIONE / INSTRUCTION UPK

DA/FROM S 105 | STATO 106 | X X 0 1 0 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1	212-23		0	O ⟶ RA
NA015	CO01N0	S106D1	210-17		0	O ⟶ VA
NA535	CO20N0	FA20D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	FA20D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO01N0	S106D1	210-17		0	Conta Counting ⟶ VA
NA056	C103N0	SE52N1	222-22		0	Set SO03

ALLO STATO/TO THE STATE | S 107 | X X 0 1 1 1 1 0 |

Condizioni / Conditions

Fig. 11.2.3

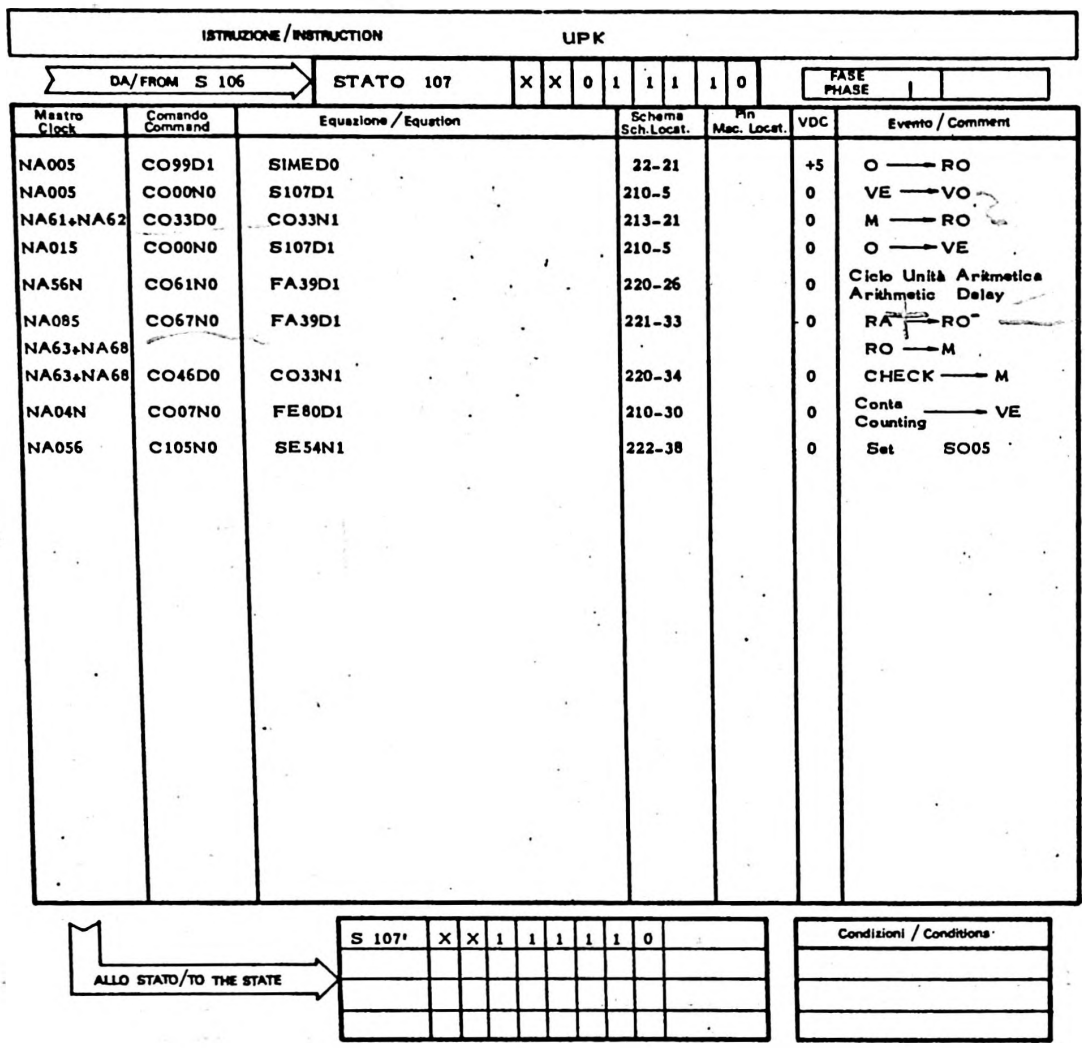
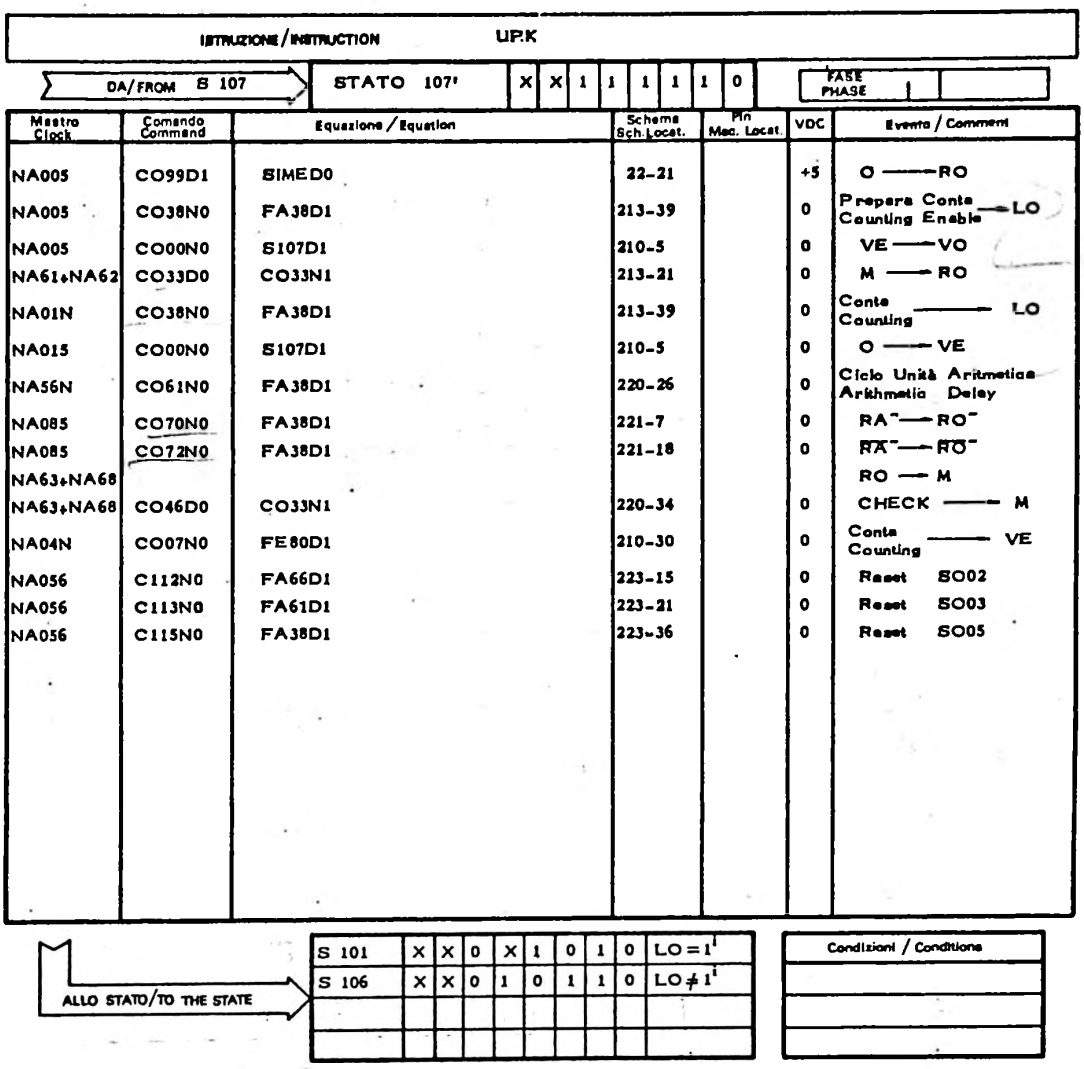

ISTRUZIONE / INSTRUCTION
UPK
DA/FROM S 106
STATO 107
X X 0 1 1 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch.Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO00N0 S107D1 210-5 0 VE → VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO00N0 S107D1 210-5 0 O → VE
NA56N CO61N0 FA39D1 220-26 0 Ciclo Unità Aritmetica Arithmetic Delay
NA085 CO67N0 FA39D1 221-33 0 RA → RO
NA63÷NA68 RO → M
NA63÷NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO07N0 FE80D1 210-30 0 Conta Counting → VE
NA056 C105N0 SE54N1 222-38 0 Set SO05
ALLO STATO/TO THE STATE
S 107' X X 1 1 1 1 1 0
Condizioni / Conditions

Fig. 11.2.4



ISTRUZIONE / INSTRUCTION: UP.K

DA/FROM S 107 | STATO 107' | X X 1 1 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——RO
NA005	CO38N0	FA38D1	213-39		0	Prepara Conta Counting Enable ——LO
NA005	CO00N0	S107D1	210-5		0	VE ——VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ——RO
NA01N	CO38N0	FA38D1	213-39		0	Conta Counting ——— LO
NA015	CO00N0	S107D1	210-5		0	O ——VE
NA56N	CO61N0	FA38D1	220-26		0	Ciclo Unità Aritmetica Arithmetic Delay
NA085	CO70N0	FA38D1	221-7		0	RA⁻——RO⁻
NA085	CO72N0	FA38D1	221-18		0	$\overline{RA}^-$——$\overline{RO}^-$
NA63÷NA68						RO —— M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ——— M
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting ——— VE
NA056	C112N0	FA66D1	223-15		0	Reset SO02
NA056	C113N0	FA61D1	223-21		0	Reset SO03
NA056	C115N0	FA38D1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	LO = 1'
S 106	X	X	0	1	0	1	1	0	LO ≠ 1'

Condizioni / Conditions

Fig. 11.2.5

RISPOSTE

a) - Lo S106. Esso da origine alla lettura del carattere del campo A e lo fa trasferire in RA.

b) - Lo S107, durante il quale si legge da memoria il 1° carattere del campo E e lo si pone in RO quindi si trasferisce il contenuto di RA 07, 04 in RO 03,00 lasciando inalterate le configurazioni di RO 07,04.
Si riscrive in memoria il 1° carattere modificato del campo E.
VE conta +1.

c) - Ancora lo S107. Esso consente di leggere il 2° carattere del campo E che si pone in RO. RO 03,00 riceve poi il contenuto di RA 03,00 e riscrive il suo contenuto in memoria.

d) - Il flip-flop SO05 stabilisce se si deve fare o non fare RA 07,04→RO 03,00.

e) - Al campo A.

f) - Si, per consentire a RO di ricevere il contenuto di RA prima di riscriverlo in memoria.

LEZIONE 12

Tempo di studio
30 minuti

12. FASE BETA DELLE ISTRUZIONI SR E SL

12.1. SR - RICERCA A DESTRA
SL - RICERCA A SINISTRA

L'istruzione consente di ricercare nel campo E il carattere posto nel campo A.

L'operazione si può eseguire per indirizzi crescenti (SR) o decrescenti (SL).

Il campo A viene considerato per il solo carattere da ricercare.

Nelle posizioni 254 e 255 di memoria si immagazzina l'indirizzo seguente, nella RCA, e precedente, nella RCI, all'indirizzo ove si trova il carattere cercato.

Se il carattere non viene trovato, in 254-255 si memorizza l'indirizzo seguente l'ultimo carattere del campo E nella RCA e l'indirizzo precedente il primo carattere del campo E nella RCI.

Compilare, sia per la SR che per la SL, il diagramma di flusso della Fig. 12.1.1 e rispondere alle seguenti :

DOMANDE

a) - Quali operazioni si verificano nello S106 ?

.....

b) - In quali STATI si ricicla ? Perché ?

.....

.....

c) - Alla fine operazione di ricerca in quali STATI si va ?

S110/111

d) - Nello S110 cosa si verifica ?

entrare in 255 di VE

e) - Nello S111 cosa si verifica ?

entrare in 254 di VE+

f) - Con quale organo si determina che la ricerca ha avuto esito positivo ?

Up. Dive.

g) - Che indirizzo si memorizza se la ricerca ha avuto esito positivo ? l'un seguito al contrario (se esito +vo)

del seguito del cmp E. se no ...

h) - Che indirizzo si memorizza se la ricerca ha avuto esito negativo ?

v. sopra —

i) - Qual'è l'utilità di memorizzare l'indirizzo?

per ripresa in momento successivo in profondità

SR o SL

Fase Beta

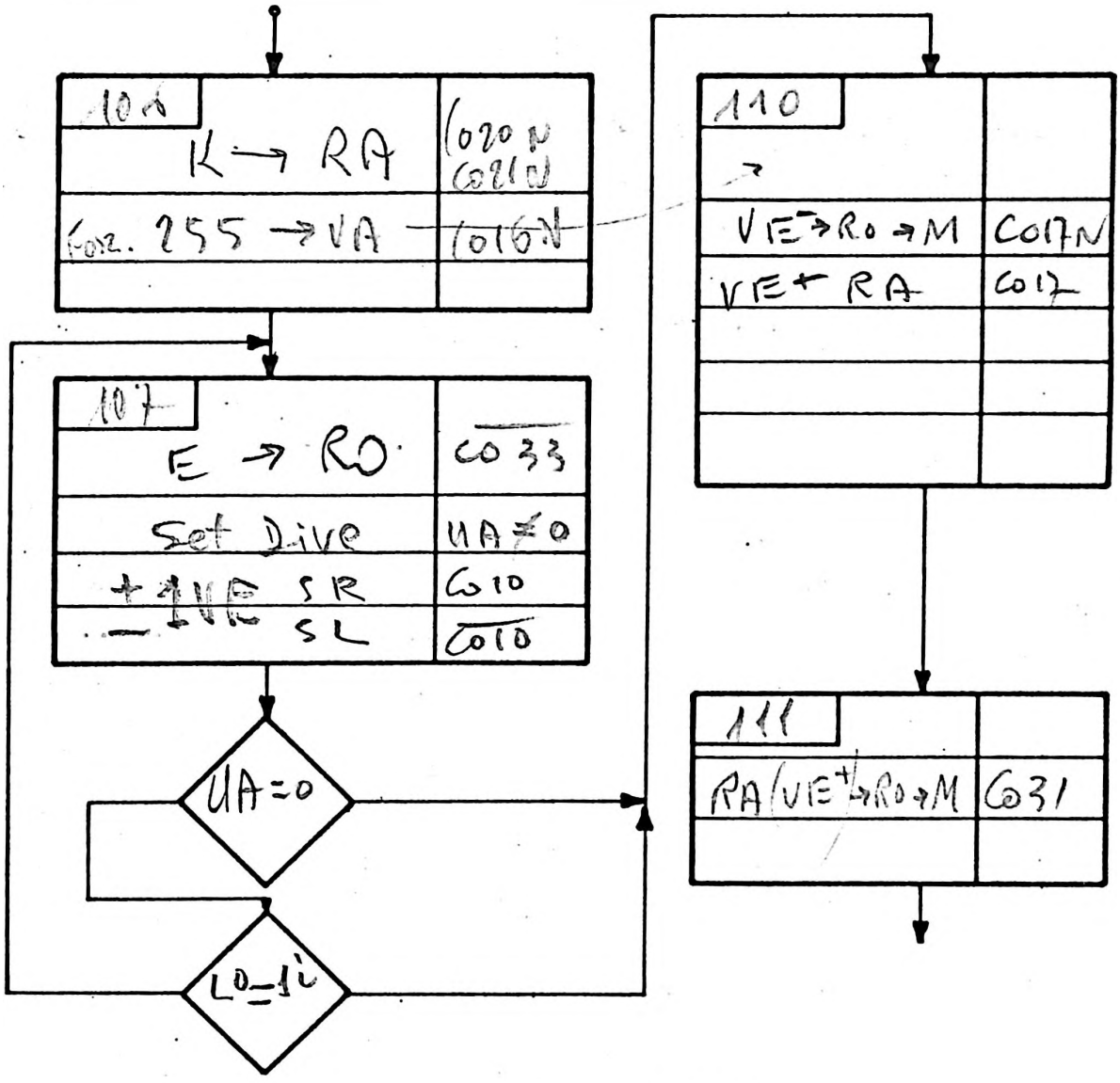


Fig. 2.1.1

SR o SL

Fase Beta

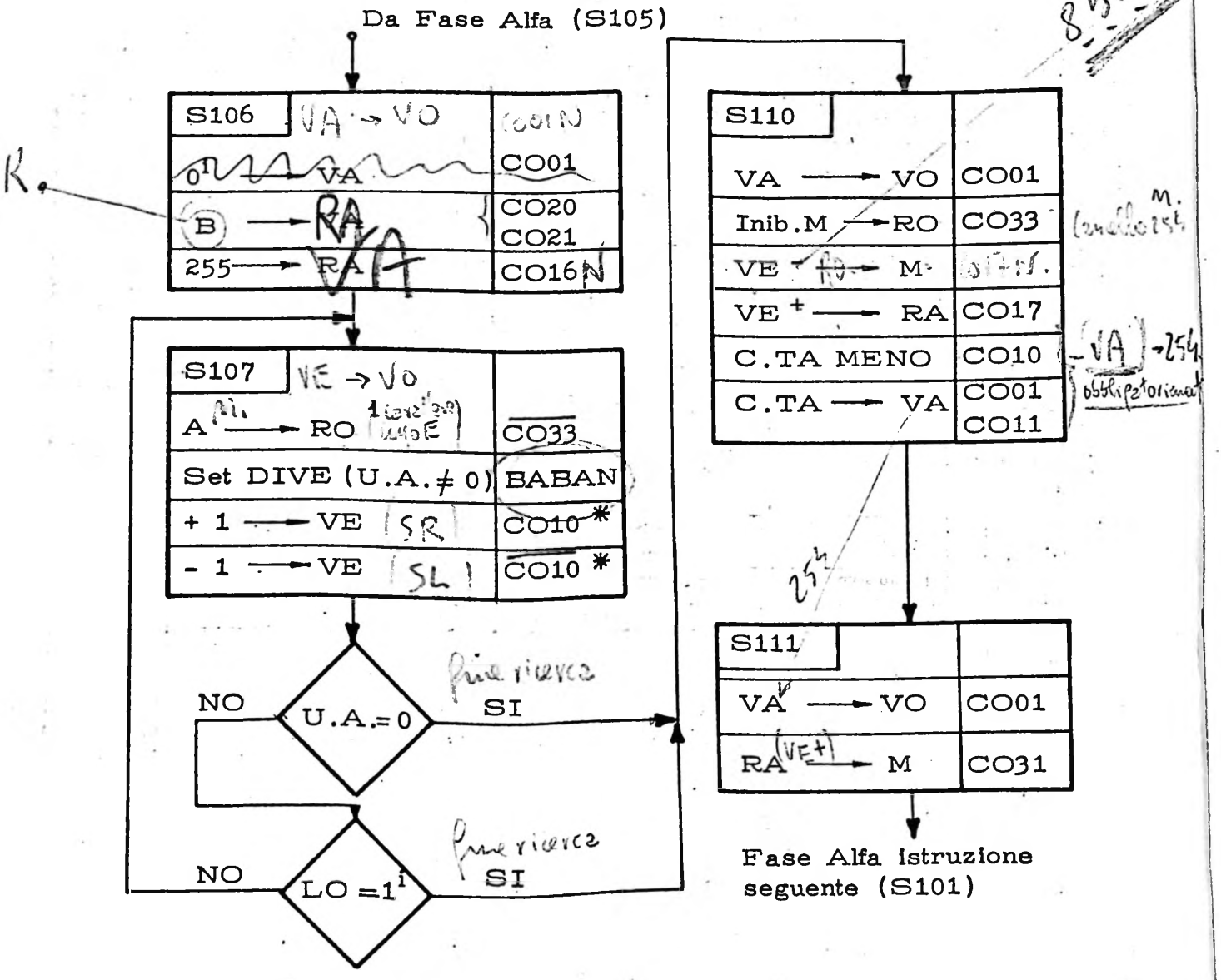
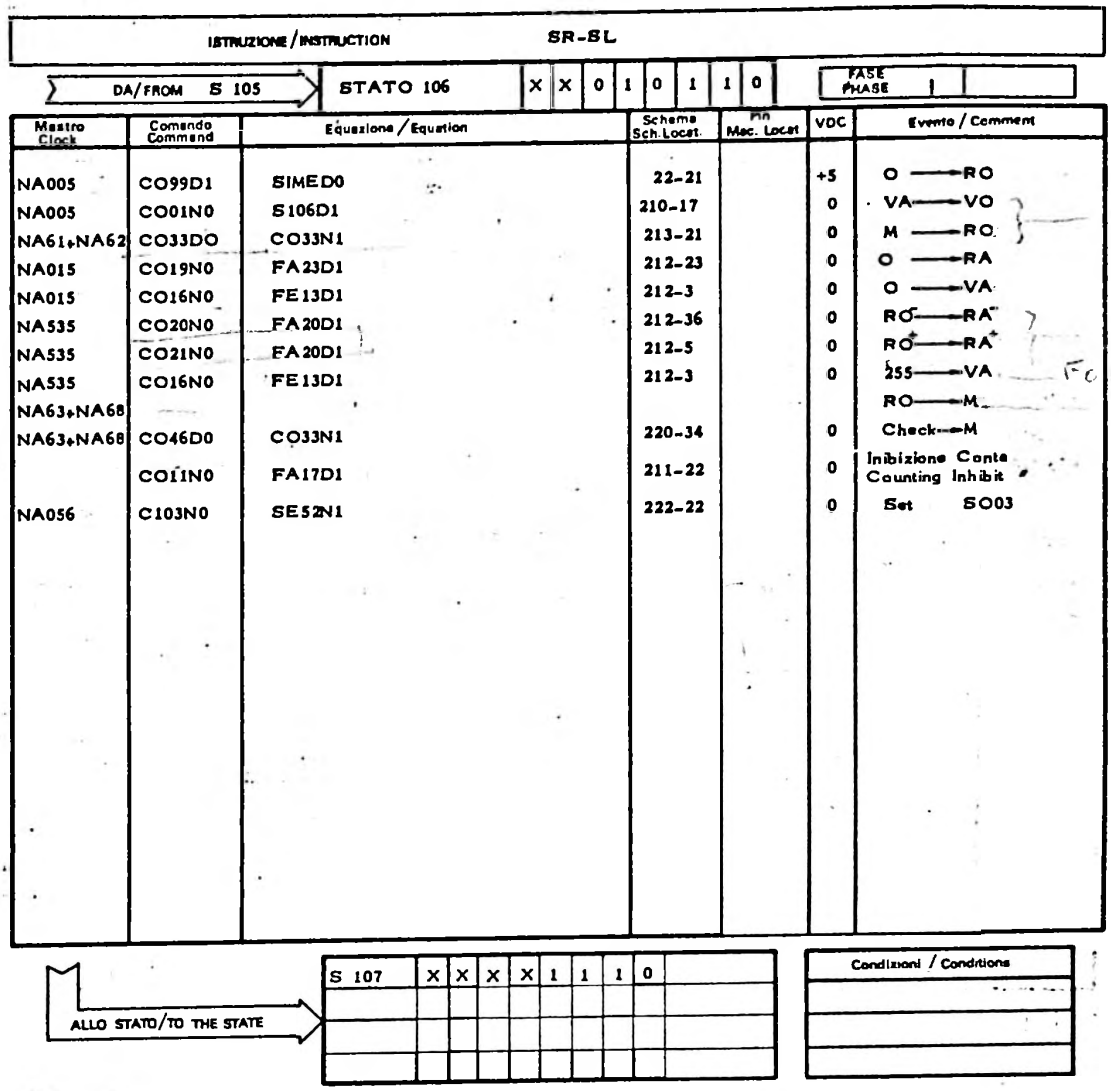


Fig. 12.1.2

* CO10 = 1 se SR
CO10 = 0 se SL

SL
SR } f.d. { F → Fo, L → Lo, IE± → VE± | IA± → VA±

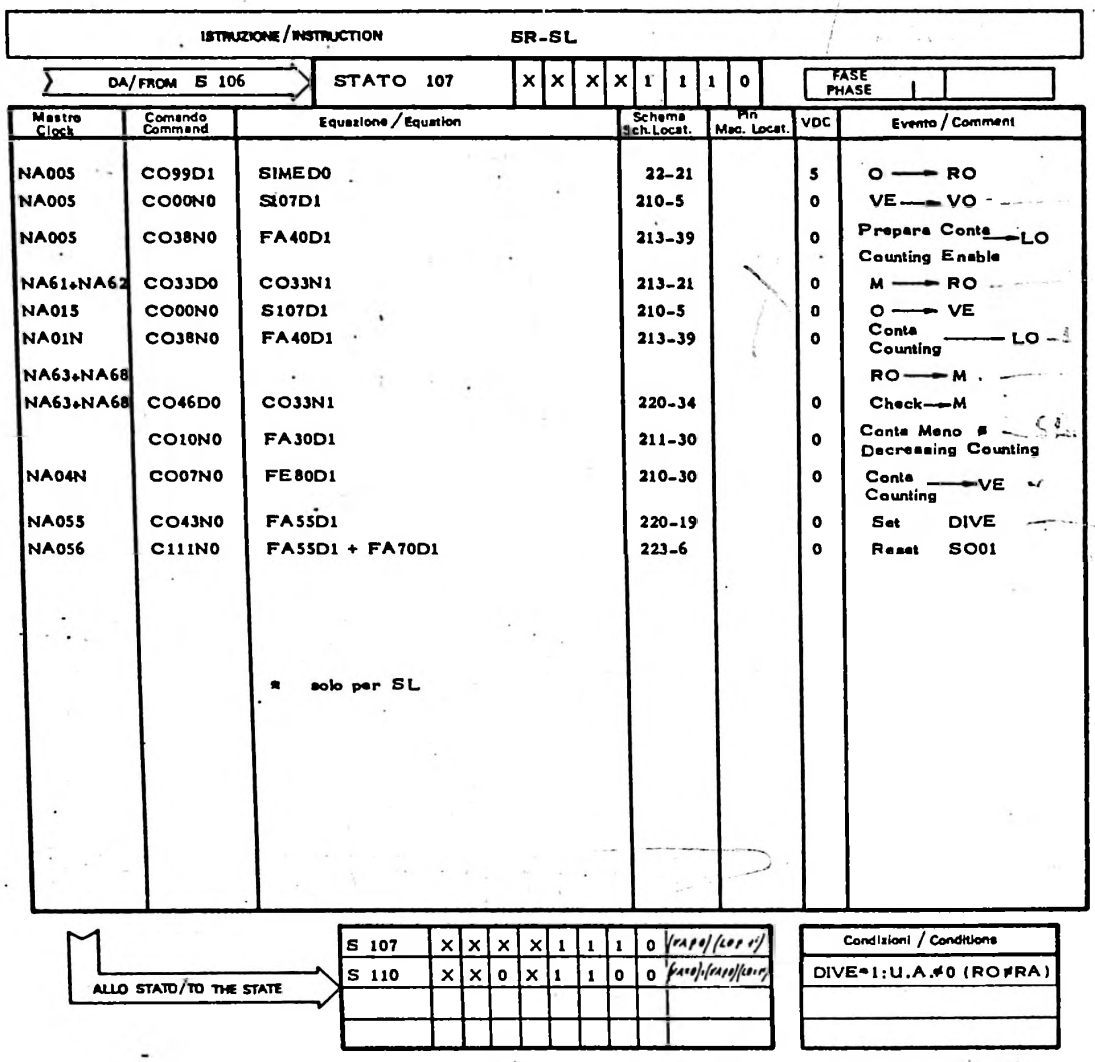


ISTRUZIONE / INSTRUCTION	SR-SL									
DA/FROM S 105	STATO 106	X	X	0	1	0	1	1	0	FASE / PHASE 1

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO01N0	S106D1	210-17		0	VA ⟶ VO
NA61+NA62	CO33DO	CO33N1	213-21		0	M ⟶ RO
NA015	CO19N0	FA23D1	212-23		0	O ⟶ RA
NA015	CO16N0	FE13D1	212-3		0	O ⟶ VA
NA535	CO20N0	FA20D1	212-36		0	RO⁻ ⟶ RA⁻
NA535	CO21N0	FA20D1	212-5		0	RO⁺ ⟶ RA⁺
NA535	CO16N0	FE13D1	212-3		0	255 ⟶ VA
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
	CO1IN0	FA17D1	211-22		0	Inibizione Conte Counting Inhibit
NA056	C103N0	SE52N1	222-22		0	Set SO03

ALLO STATO/TO THE STATE	S 107	X	X	X	X	1	1	1	0	Condizioni / Conditions

Fig. 12.1.3



ISTRUZIONE / INSTRUCTION SR-SL

DA/FROM S 106 | STATO 107 | X X X X 1 1 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		5	O ⟶ RO
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta ⟶ LO Counting Enable
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO00N0	S107D1	210-5		0	O ⟶ VE
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting ⟶ LO
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
	CO10N0	FA30D1	211-30		0	Conta Meno * Decreasing Counting
NA04N	CO07N0	FE80D1	210-30		0	Conta Counting ⟶ VE
NA055	CO43N0	FA55D1	220-19		0	Set DIVE
NA056	C111N0	FA55D1 + FA70D1	223-6		0	Reset SO01

* solo per SL

ALLO STATO/TO THE STATE

S 107	X	X	X	X	1	1	1	0	
S 110	X	X	0	X	1	1	0	0	

Condizioni / Conditions
DIVE=1: U.A.≠0 (RO≠RA)

Fig. 12.1.4

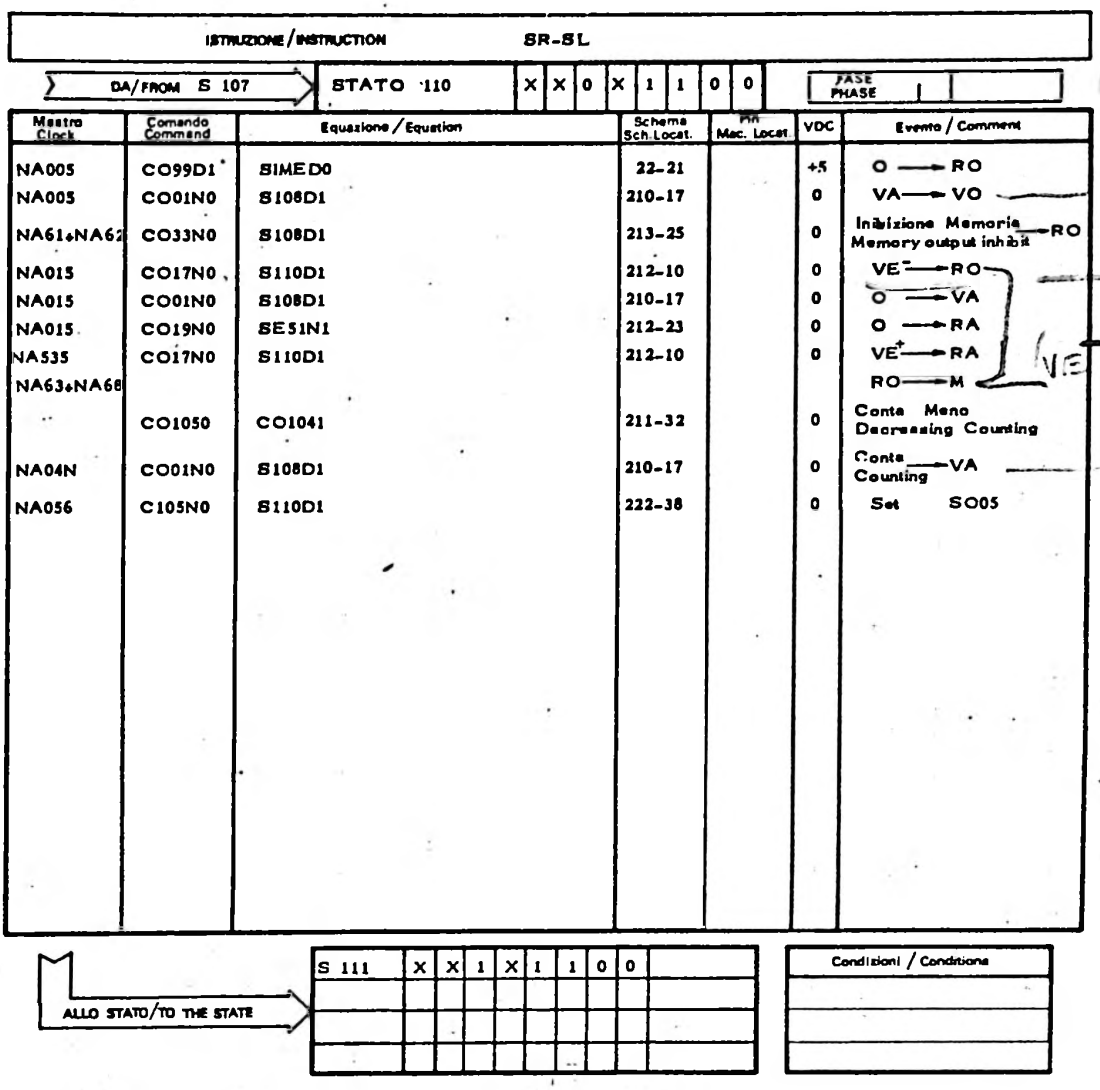

ISTRUZIONE / INSTRUCTION SR-SL
DA/FROM S 107
STATO 110
X X 0 X 1 1 0 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO01N0 S108D1 210-17 0 VA → VO
NA61÷NA62 CO33N0 S108D1 213-25 0 Inibizione Memoria Memory output inhibit → RO
NA015 CO17N0 S110D1 212-10 0 VE → RO
NA015 CO01N0 S108D1 210-17 0 O → VA
NA015 CO19N0 SE51N1 212-23 0 O → RA
NA535 CO17N0 S110D1 212-10 0 VE+ → RA
NA63÷NA68 RO → M
CO1050 CO1041 211-32 0 Conta Meno Decreasing Counting
NA04N CO01N0 S108D1 210-17 0 Conta Counting → VA
NA056 C105N0 S110D1 222-38 0 Set SO05
ALLO STATO/TO THE STATE
S 111 X X 1 X 1 1 0 0
Condizioni / Conditions

Fig. 12.1.5

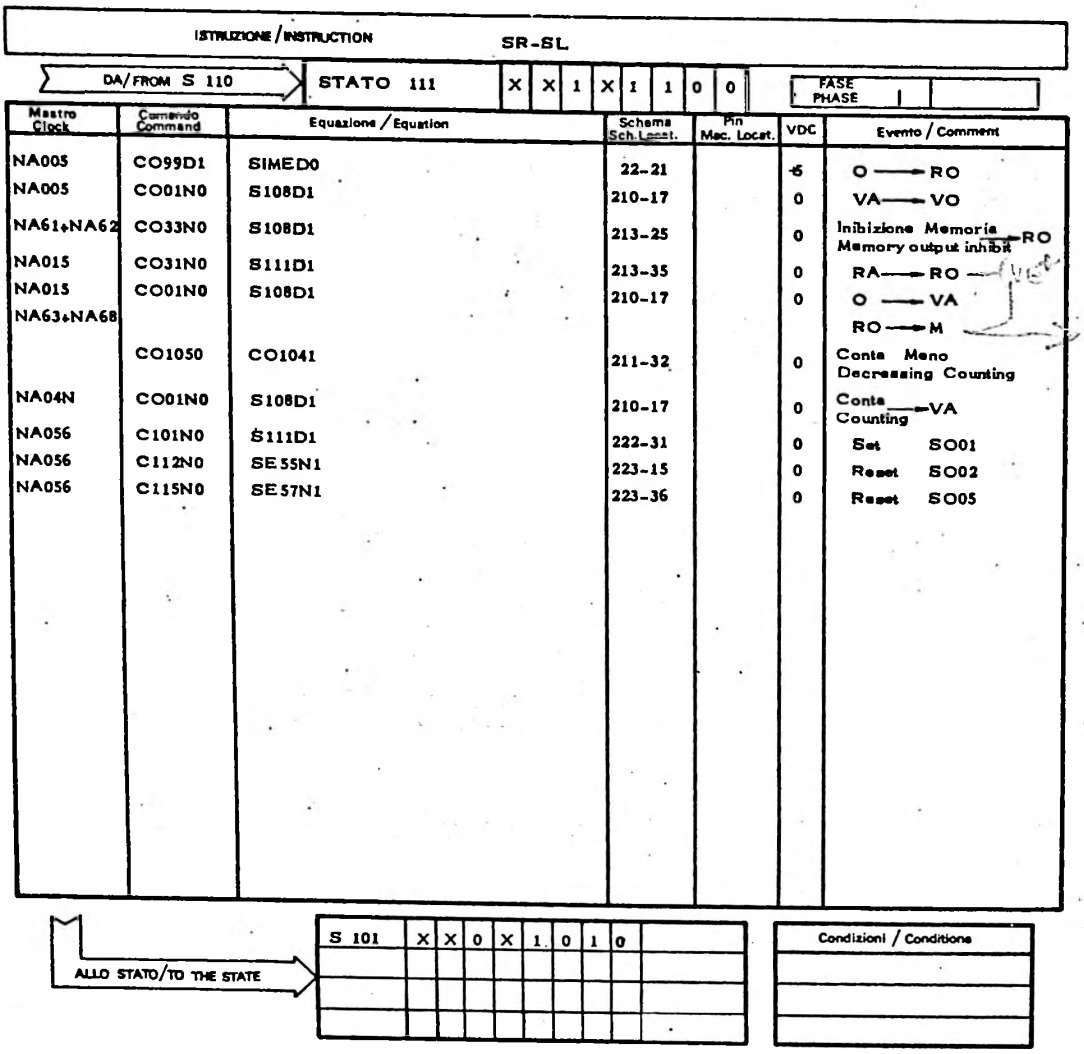

ISTRUZIONE / INSTRUCTION
SR-SL
DA/FROM S 110
STATO 111
X X 1 X 1 1 0 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 -5 O ——→ RO
NA005 CO01N0 S108D1 210-17 0 VA ——→ VO
NA61÷NA62 CO33N0 S108D1 213-25 0 Inibizione Memoria ——→ RO
Memory output inhibit
NA015 CO31N0 S111D1 213-35 0 RA ——→ RO
NA015 CO01N0 S108D1 210-17 0 O ——→ VA
NA63÷NA68 RO ——→ M
CO1050 CO1041 211-32 0 Conta Meno
Decreasing Counting
NA04N CO01N0 S108D1 210-17 0 Conta ——→ VA
Counting
NA056 C101N0 S111D1 222-31 0 Set SO01
NA056 C112N0 SE55N1 223-15 0 Reset SO02
NA056 C115N0 SE57N1 223-36 0 Reset SO05
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
Condizioni / Conditions

Fig. 12.1.6

RISPOSTE

a) - Si pone in RA il carattere del campo A.

b) - Nello S107, perchè interessa la ricerca nel campo E.

c) - Si predispone i flip-flop di SO per gli S110 e S111.

d) - Si memorizza la parte meno significativa dell'indirizzo che in quel momento è contenuto da VE (VE^-) nella posizione di memoria 255.

e) - Si memorizza nella posizione 254 la parte più significativa dell'indirizzo contenuto in quel momento da VE (VE^+)

f) - La ricerca ha avuto esito positivo se si ha il set di DIVE.

g) - Se si è in ricerca avanti l'indirizzo del carattere trovato +1; se si è in ricerca indietro l'indirizzo del carattere trovato -1.

h) - L'indirizzo seguente l'ultimo carattere del campo E se si è in SR e l'indirizzo precedente il primo carattere del campo E se si è in SL.

i) - Per poterlo eventualmente usare in un momento successivo durante lo svolgimento del programma.

LEZIONE 13

Tempo di studio
30 minuti

13. FASE BETA DELLA ISTRUZIONE TR

13.1. L'istruzione di trascodifica, come si é visto nella lezione 22 del Volume INTRODUZIONE al sistema GE - 115, permette di trasformare i caratteri di un campo di memoria configurati in un certo codice binario, in altri corrispondenti, appartenenti ad un altro codice.

Come per le istruzioni precedenti compilare il diagramma di flusso di Fig. 13.1.1 e rispondere alle seguenti :

DOMANDE

a) - In quale campo deve essere depositata la tabella di trascodifica e perché ?

.....A. Indirizzo è [illegible]
.....Si deve identificare

b) - Che cosa contiene il campo E prima e dopo la istruzione di trascodifica e perché ?

.....la tabella da trascodificare
.....trascodificato

c) - Quante volte si percorre lo S106 e quante lo S107 per ogni carattere da trascodificare ?

.....S106 = 1 volta
.....S107 - 2 Volte

il 1° stato 107 fa selezione VA
il S106 fa estrazione campo E
il 2° S107 fa inserz campo E trascodificato

d) - Nel primo S107 conta VE ? Perché ?

N.° perché serve VE ... per ricevere il nuovo carattere

e) - Perché nella TR é sempre inibita la conta in VA ?

perché VA viene effettuato nel caso VE - esatto VE.

f) - Perché a differenza del primo S107, nel secondo S107 si ha la inibizione della memoria in RO ?

la mettere e zero lo bisogna inibire
acquisita nel nuovo ciclo

g) - Pur avendosi la modifica del registro RO tra il ciclo di lettura e quello di scritttura nel secondo S107, per quale ragione non si ha l'inserimento dell' ansa aritmetica ?

perché non è questione di interruzione direttamente
in RO nella lettura viene inviato lo stesso lettura ... si interviene in RO - RA

h) - A quale campo si riferisce la lunghezza L ? I.V. bit Mnemonic: ---

Word 1

TR

Fase Beta

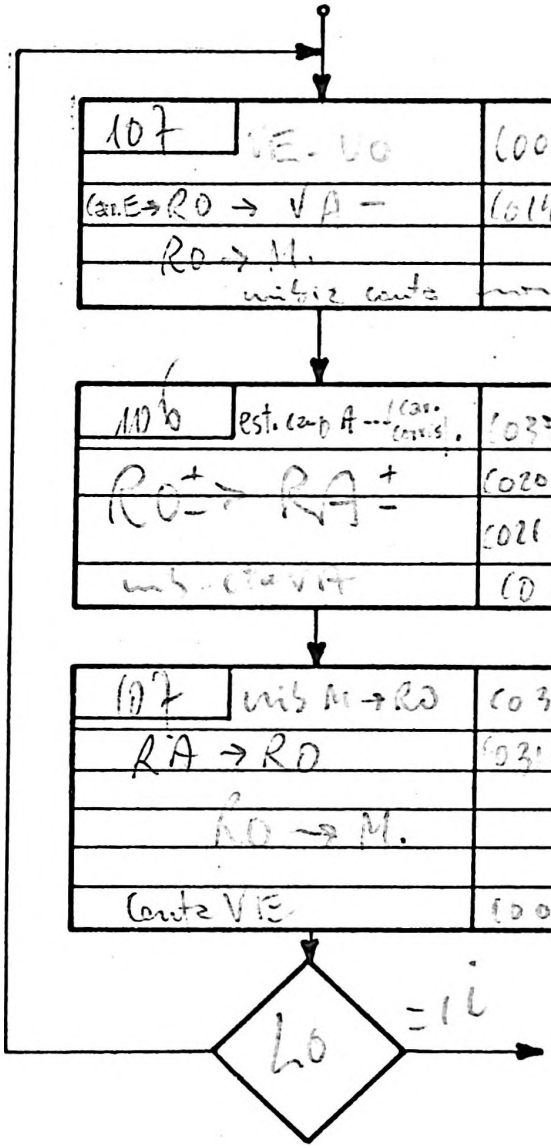


Fig. 13.1.1

TR

Fase Beta

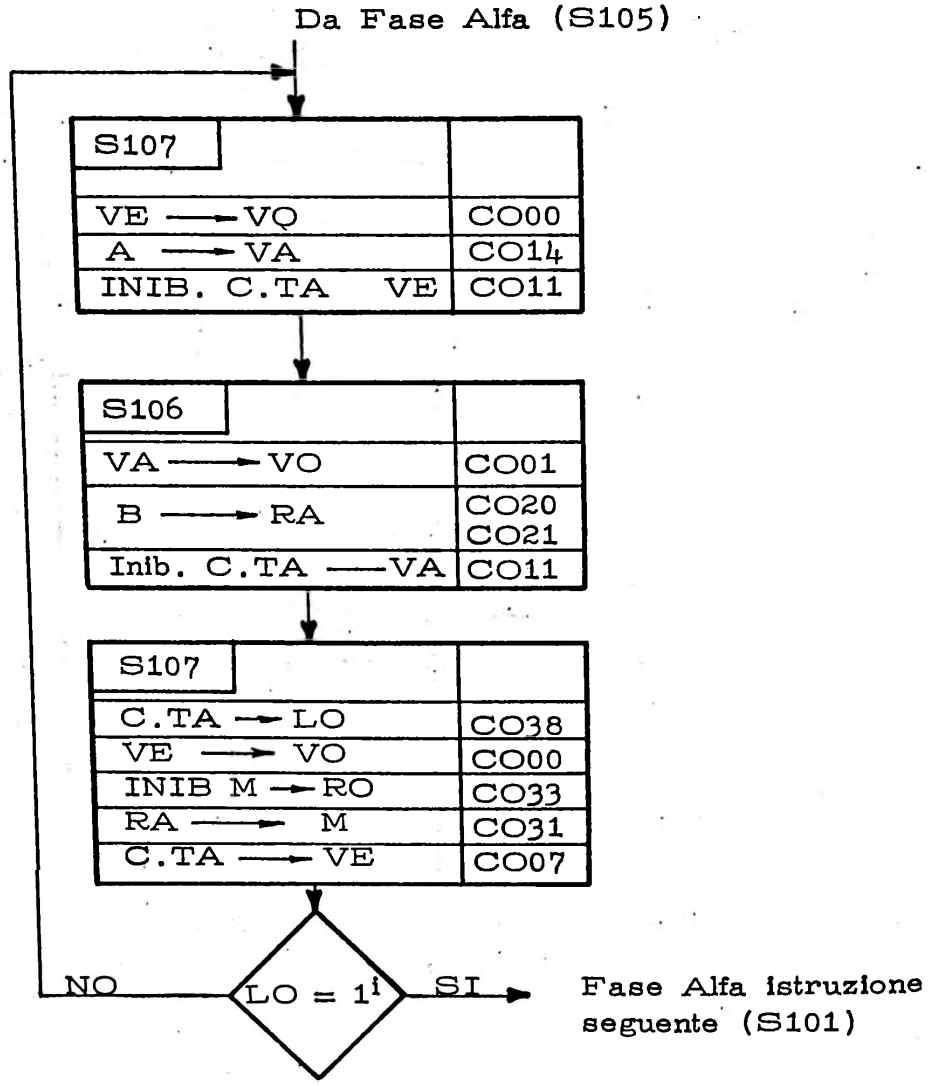
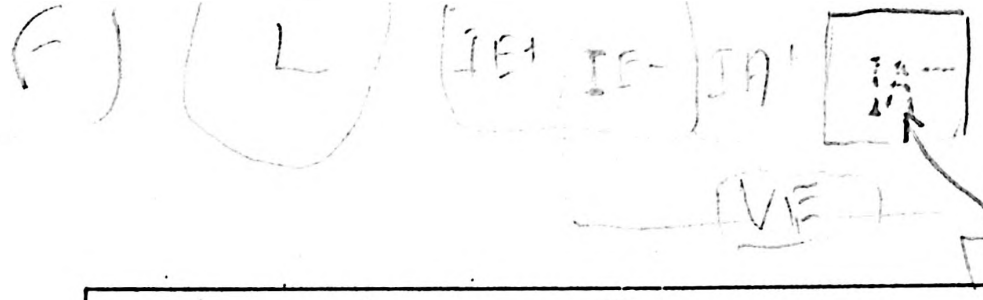


Fig. 13.1.2



ISTRUZIONE / INSTRUCTION	TR									
DA/FROM S 105	STATO 107	X	X	0	X	1	1	1	0	FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mec. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO05N0	FA50D1	210-24		0	O ⟶ VA"
NA535	CO14N0	FA60D1	211-8		0	RO ⟶ VA"
NA63+NA68	CO11N0	FA28D1	211-22		0	Inibizione conta Counting Inhibit RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA056	C105N0	SE54N1	222-38		0	Set SO05
NA056	C113N0	FA50D1	223-21		0	Reset SO03
NA056	C114N0	FA28D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE	S 106	X	X	1	0	0	1	1	0	

Condizioni / Conditions

Fig. 13.1.3

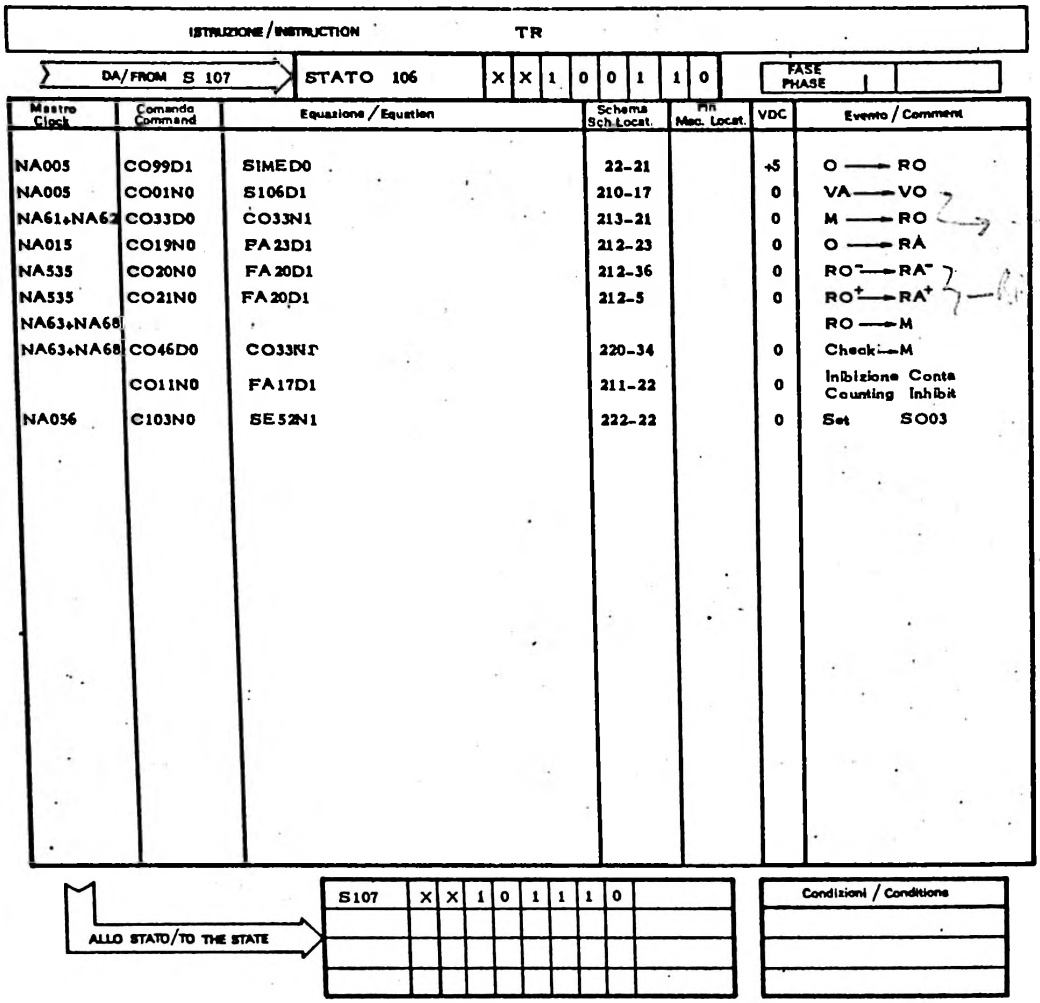
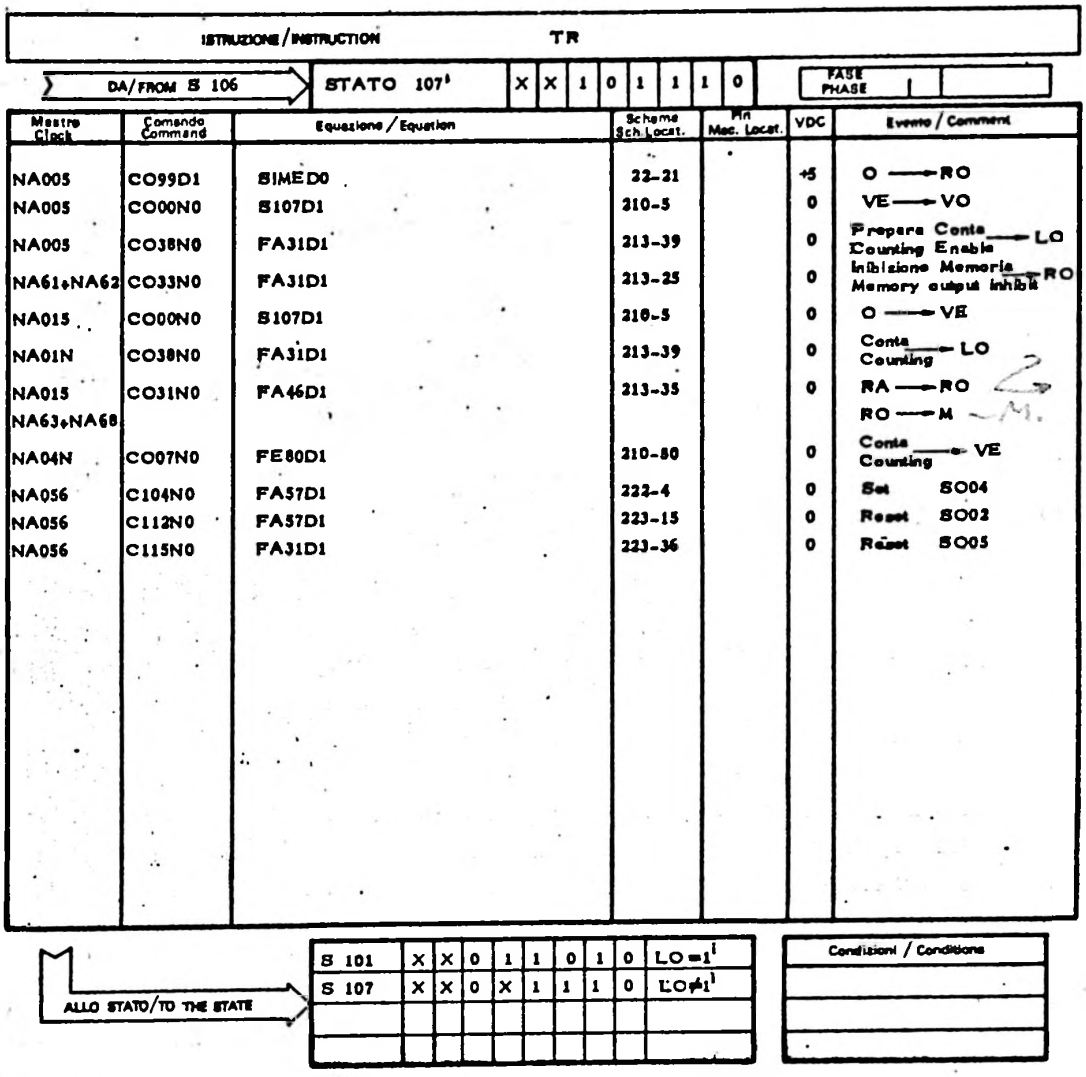

ISTRUZIONE / INSTRUCTION
TR
DA/FROM S 107
STATO 106
X X 1 0 0 1 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO01N0 S106D1 210-17 0 VA → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO19N0 FA23D1 212-23 0 O → RA
NA535 CO20N0 FA20D1 212-36 0 RO⁻ → RA⁻
NA535 CO21N0 FA20D1 212-5 0 RO⁺ → RA⁺
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 Check → M
CO11N0 FA17D1 211-22 0 Inibizione Conta Counting Inhibit
NA056 C103N0 SE52N1 222-22 0 Set SO03
ALLO STATO/TO THE STATE
S107 X X 1 0 1 1 1 0
Condizioni / Conditions

Fig. 13.1.4



ISTRUZIONE / INSTRUCTION: TR

DA/FROM S 106 → STATO 107' | X | X | 1 | 0 | 1 | 1 | 1 | 0 | FASE / PHASE

Mastro Clock	Comando Command	Equazione / Equation	Scheme Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA005	CO38N0	FA31D1	213-39		0	Prepara Conta ⟶ LO Counting Enable
NA61÷NA62	CO33N0	FA31D1	213-25		0	Inibizione Memoria ⟶ RO Memory output inhibit
NA015	CO00N0	S107D1	210-5		0	O ⟶ VE
NA01N	CO38N0	FA31D1	213-39		0	Conta ⟶ LO Counting
NA015 NA63÷NA68	CO31N0	FA46D1	213-35		0	RA ⟶ RO RO ⟶ M
NA04N	CO07N0	FE80D1	210-80		0	Conta ⟶ VE Counting
NA056	C104N0	FA57D1	222-4		0	Set SO04
NA056	C112N0	FA57D1	223-15		0	Reset SO02
NA056	C115N0	FA31D1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	1	1	0	1	0	LO=1'
S 107	X	X	0	X	1	1	1	0	LO≠1'

Condizioni / Conditions

RA ⟶ RO ⟶ M

Memoria

Fig. 13.1.5.

RISPOSTE

a) - Nel campo A in quanto é VA (parte meno significativa) che riceve il carattere da trascodificare del campo E. Infatti é quest'ultimo carattere che trasformandosi in indirizzo individua nella tabella, posta nel campo A, il carattere ad esso corrispondente.

b) - Il campo E prima dell'istruzione di trascodifica contiene i caratteri da trascodificare, dopo contiene i caratteri trascodificati.

c) - Una volta lo S106 preceduto e seguito da uno S107.

d) - No, VE non conta perché nel secondo S107 dopo lo S106, deve indirizzare la stessa posizione di memoria dalla quale é stato estratto il carattere da trascodificare il quale, viene sostituito con il carattere trascodificato.

e) - Perché VA non deve evolvere di una unità alla volta ad ogni carattere da elaborare e bensì deve adeguarsi a quanto stabilito dalla successione dei caratteri da trascodificare posti in campo E.

f) - Perché nel primo S 107 il contenuto della memoria indirizzata da VE serve per formare l'indirizzo VA, mentre nel secondo S107 occorre che sia inibita la memoria in RO in quanto, se ciò non si verificasse, il contenuto di RA (carattere trascodificato) dopo essere trasferito in RO per essere scritto in memoria, verrebbe modificato dal carattere letto da memoria.

g) - Non si ha l'inserimento dell'ansa aritmetica perché non deve essere calcolato il check in quanto, il carattere trascodificato proviene da memoria ed é quindi comprensivo del bit di disparità.

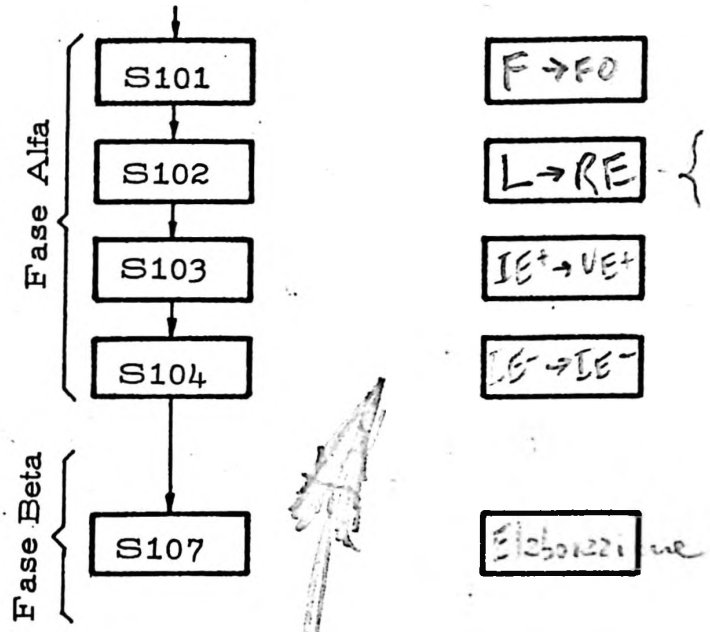
h) - Sempre al campo E.

LEZIONE 14

Tempo di studio
1 ora

14. ISTRUZIONI DEL GRUPPO B3
FASE BETA DELLE ISTRUZIONI MVI E CMI

14.1. A queste istruzioni corrisponde la sequenza di STATI sotto riportati :



DOMANDE

a) - Mettere in ogni singolo rettangolo il corrispondente codice simbolico che completa l'istruzione :

.....

.....

b) - A tale gruppo di istruzioni appartengono quelle quì sotto rappresentate :

ISTR	SIGNIFICATO	CODICE esadecim.	F in codice binario
MVI	Trasferim. di 1 caratt.	9 / 2	1 0 0 1 0 0 1 0
CMI	Confronto di 1 caratt..	9 / 5	1 0 0 1 0 1 0 1
			07 06 05 04 03 02 01 00

Completare la tabella sopra riportata.

c) - Quale campo è interessato in queste istruzioni ?

E (1 posiz)

d) - Il carattere della lunghezza che significato prende nel le due istruzioni ?

MVI = cost. da fissare

CPI = K da confrontare

e) - Quanti caratteri si elaborano ? 1

Gruppo B3

Fase Alfa

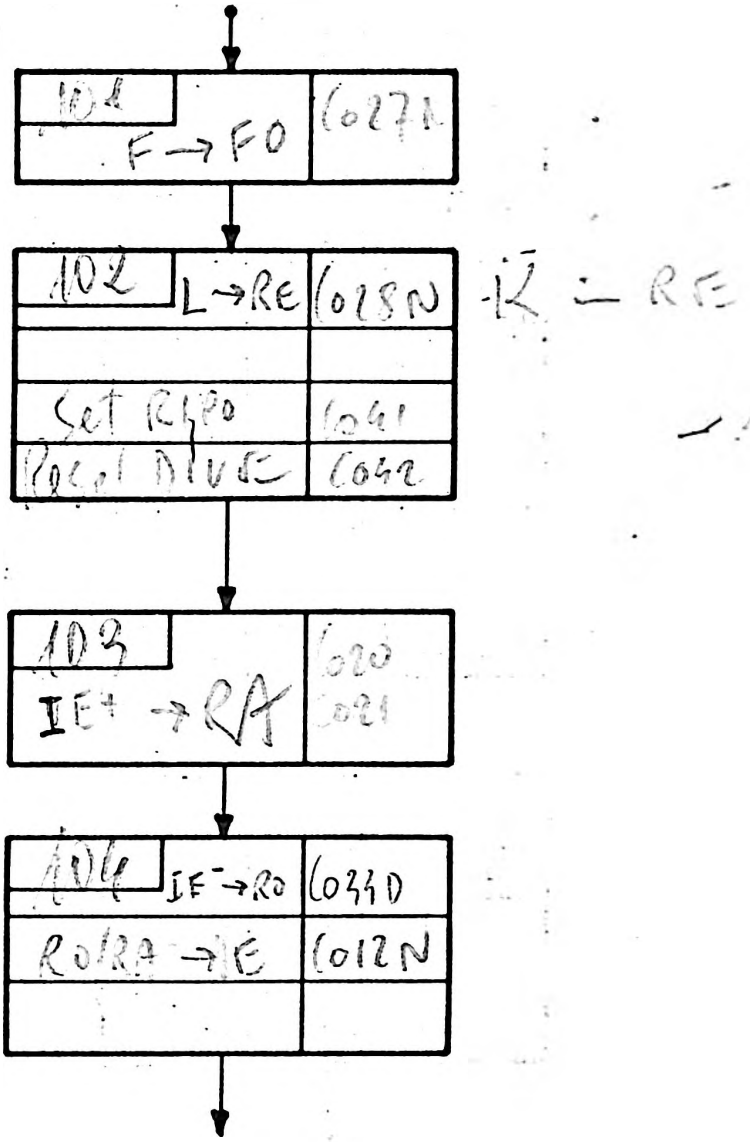
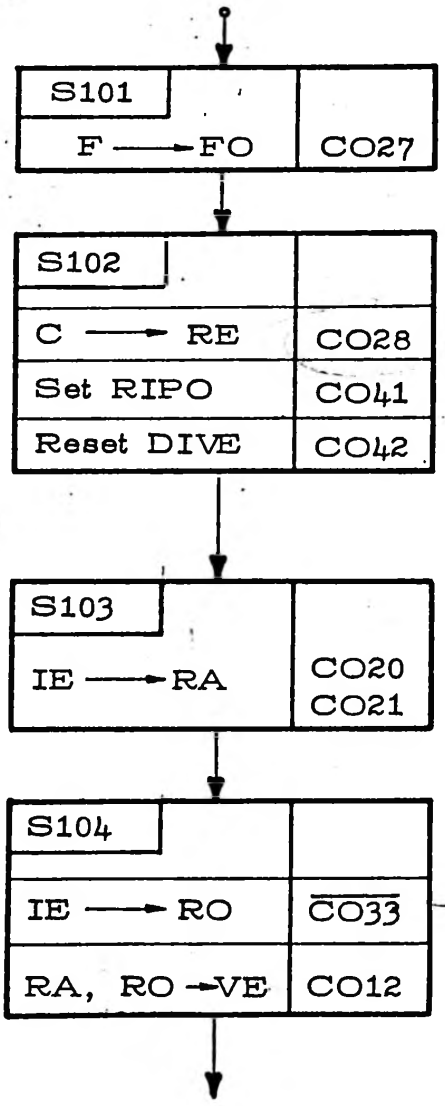


Fig. 14.1.1

Gruppo B3

Fase Alfa

Da Fase Beta istruzione precedente



Alla Fase Beta (S107)

Fig. 14.1.2

ISTRUZIONE / INSTRUCTION Fase alla gruppo B3

DA/FROM Fase Beta | STATO 101 | X X 0 X 1 0 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO27N0	S101D1	212-7		0	O ⟶ FO
NA535	CO27N0	S101D1	212-7		0	RO ⟶ FO
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C113N0	SE56N1	223-21		0	Reset SO03

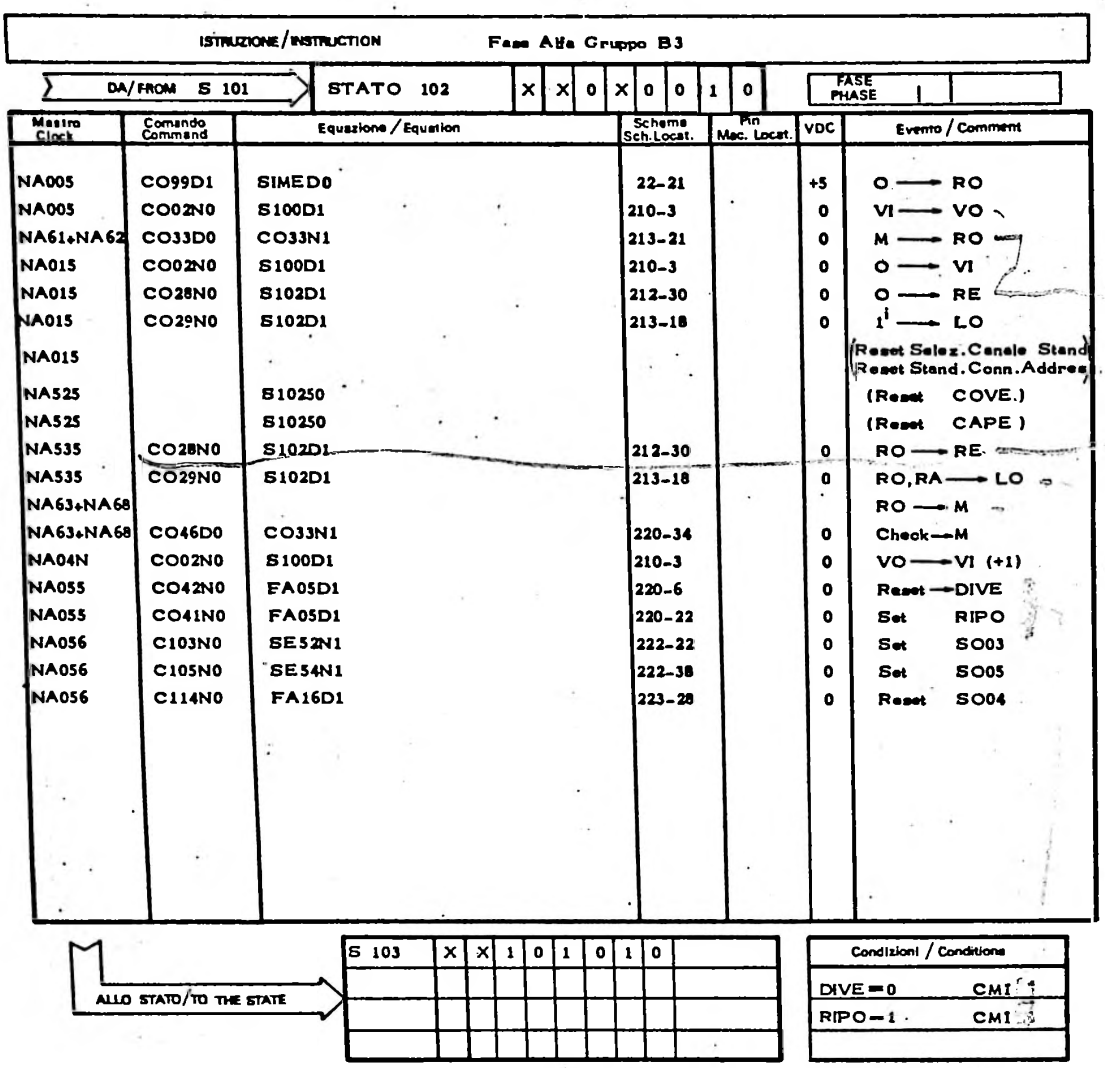
F — Fo

ALLO STATO/TO THE STATE

S 102	X	X	0	X	0	0	1	0	

Condizioni / Conditions

Fig. 14.1.3



ISTRUZIONE / INSTRUCTION — Fase Alla Gruppo B3

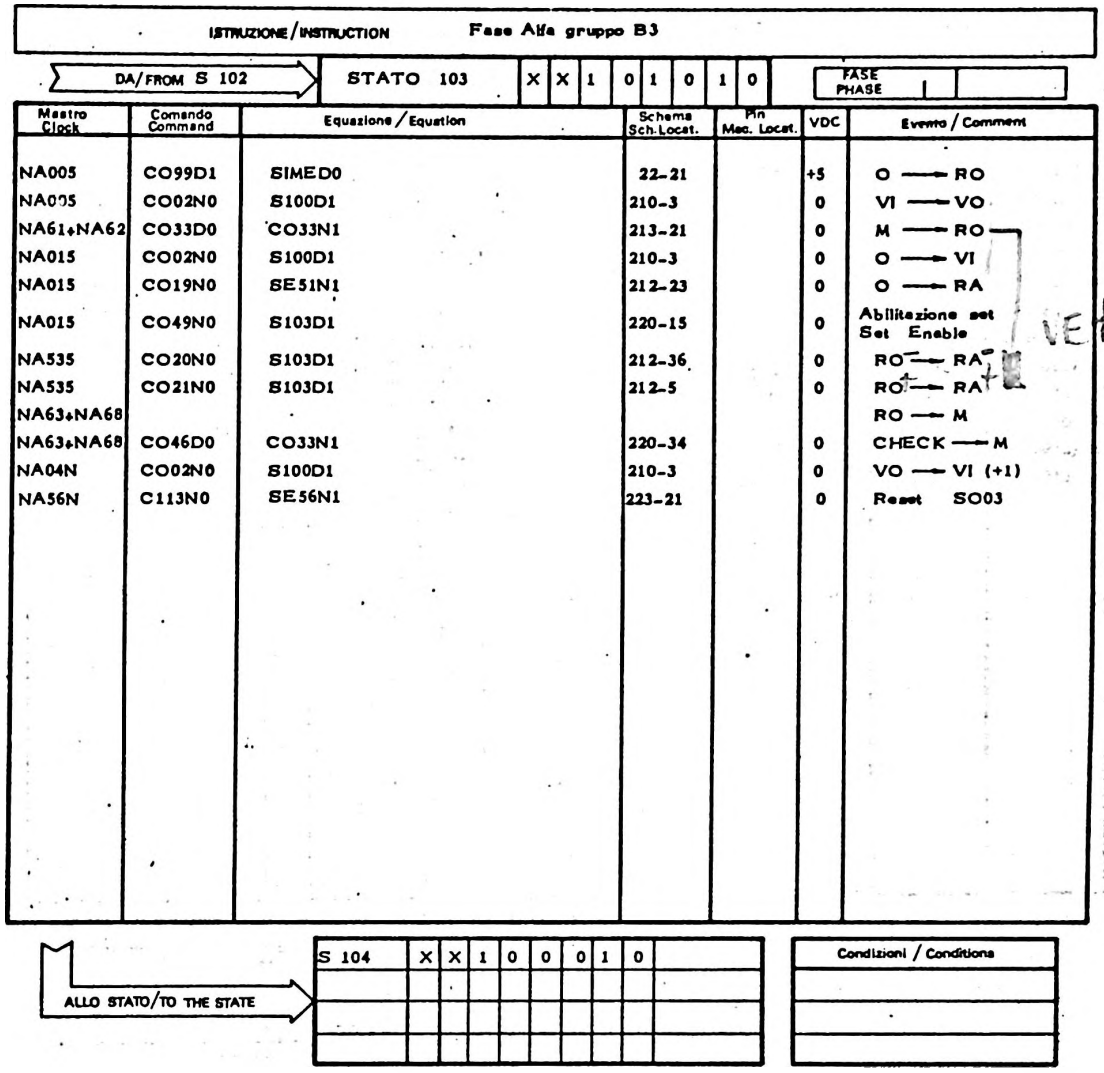
DA/FROM S 101 — STATO 102 — X X 0 X 0 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Scheme Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	0 ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	0 ⟶ VI
NA015	CO28N0	S102D1	212-30		0	0 ⟶ RE
NA015	CO29N0	S102D1	213-18		0	1 ⟶ LO
NA015						(Reset Selez. Canale Stand) (Reset Stand. Conn. Address)
NA525		S10250				(Reset COVE.)
NA525		S10250				(Reset CAPE)
NA535	CO28N0	S102D1	212-30		0	RO ⟶ RE
NA535	CO29N0	S102D1	213-18		0	RO, RA ⟶ LO
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA055	CO42N0	FA05D1	220-6		0	Reset ⟶ DIVE
NA055	CO41N0	FA05D1	220-22		0	Set RIPO
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C105N0	SE54N1	222-38		0	Set SO05
NA056	C114N0	FA16D1	223-28		0	Reset SO04

ALLO STATO/TO THE STATE — S 103 — X X 1 0 1 0 1 0

Condizioni / Conditions	
DIVE = 0	CMI
RIPO = 1	CMI

Fig. 14.1.4



ISTRUZIONE / INSTRUCTION: Fase Alfa gruppo B3

DA/FROM S 102 | STATO 103 | X X 1 0 1 0 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO02N0	S100D1	210-3		0	VI → VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO02N0	S100D1	210-3		0	O → VI
NA015	CO19N0	SE51N1	212-23		0	O → RA
NA015	CO49N0	S103D1	220-15		0	Abilitazione set Set Enable
NA535	CO20N0	S103D1	212-36		0	RO → RA
NA535	CO21N0	S103D1	212-5		0	RO → RA
NA63÷NA68						RO → M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK → M
NA04N	CO02N0	S100D1	210-3		0	VO → VI (+1)
NA56N	C113N0	SE56N1	223-21		0	Reset SO03

VET → RA

ALLO STATO/TO THE STATE

S 104	X	X	1	0	0	0	1	0	

Condizioni / Conditions

Fig. 14.1.5

ISTRUZIONE / INSTRUCTION — Fase Alta Gruppo B3

DA/FROM S 103 — STATO 104 — X X 1 0 0 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO03N0	S104D1	210-13		0	O ⟶ VE
NA535	CO12N0	S104D1.	211-7		0	RO, RA ⟶ VE
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C102N0	FA12D1	222-46		0	Set SO02
NA056	C103N0	FA09D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

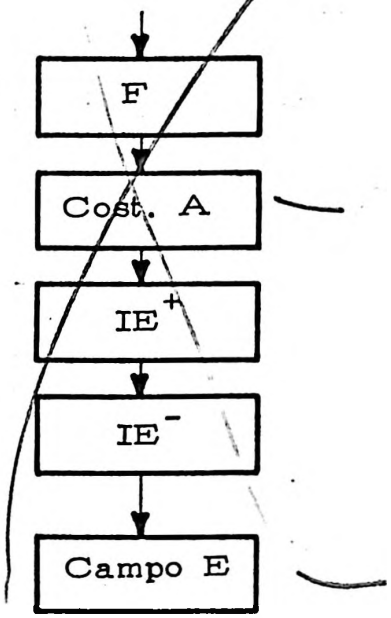
ALLO STATO/TO THE STATE — S 107 — X X 0 1 1 1 1 0

Condizioni / Conditions

Fig. 14.1.6

RISPOSTE

a)



b)

ISTR.	SIGNIFICATO	CODICE esadecim.	F in codice binario							
MVI	Trasferim.di 1 caratt.	9/2	1	0	0	1	0	0	1	0
CMI	Confronto di 1 caratt.	9/5	1	0	0	1	0	1	0	1
			07	06	05	04	03	02	01	00

Tabella con i bit del carattere F della MVI e della CMI.

c) - Il campo E.

d) - Nella MVI prende il significato del carattere da trasferire in campo E.
Nella CMI prende il significato del carattere da confrontare con quello del campo E.

e) - Un solo carattere (costante).

La fase alfa di queste istruzioni non presenta particolarità rilevanti.

Allo S104 essa ha termine e s'inizia la fase beta.

Nello S102 il carattere letto va in LO ed in RE e RIPO viene forzato a "1" mentre DIVE è "0" nella sola CMI.

14.2. MVI - TRASFERIMENTO DI UN CARATTERE

Completare il flow di Fig. 14.2.1 e rispondere alle seguenti :

DOMANDE :

a) - Qual'é lo STATO della fase beta ?

.....107.....
.....107.....

b) - E' LO utilizzato in fase beta anche se viene fatto contare ?

.....NO.....
.....

c) - Quali sono i registri interessati dal trasferimento ?

.....RE - RO.....
.....RE - RO.....

d) - Viene inibita la lettura da memoria ?
Perché ? Si la sostituisce nella logica.
.....
.....
Corpo E' il nuovo carattere

MVI

Fase Beta

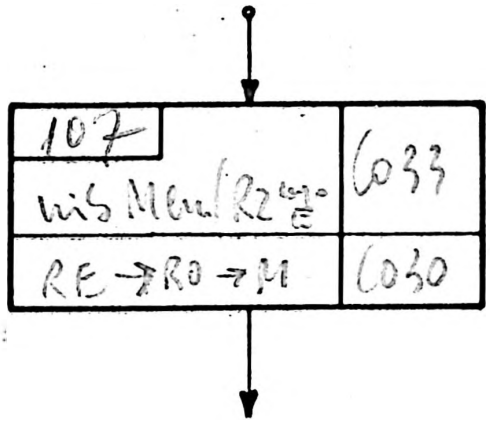


Fig. 14.2.1

MVI

Fase Beta

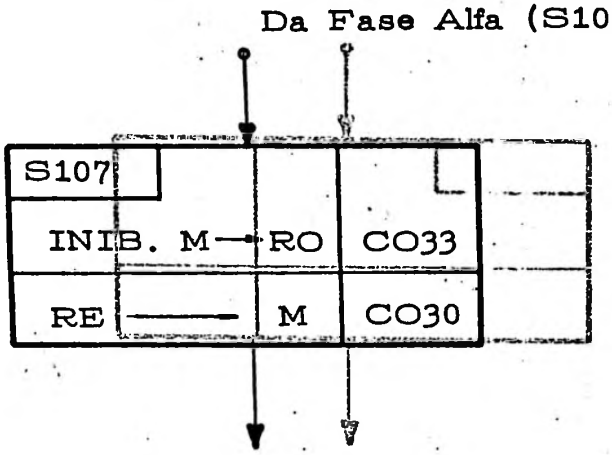


Fig. 14.2.2

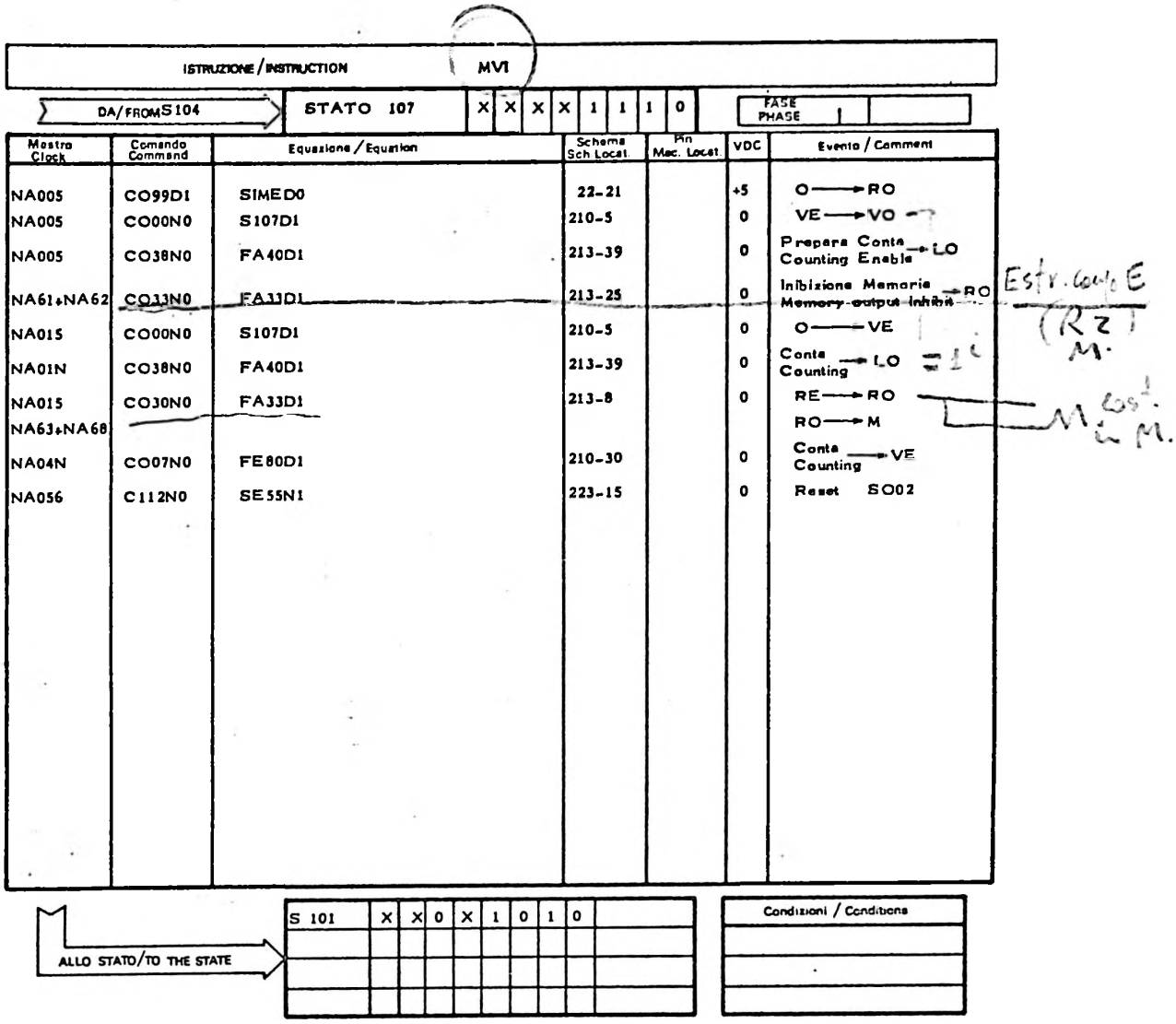

ISTRUZIONE / INSTRUCTION
MVI
DA/FROM S104
STATO 107
X X X X 1 1 1 0
FASE PHASE
Mostra Clock
Comando Command
Equazione / Equation
Schema Sch Locat.
Pin Mac. Locat.
VDC
Evento / Commenti
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO00N0 S107D1 210-5 0 VE → VO
NA005 CO38N0 FA40D1 213-39 0 Prepara Conta → LO Counting Enable
NA61÷NA62 CO33N0 FA33D1 213-25 0 Inibizione Memoria → RO Memory output Inhibit
NA015 CO00N0 S107D1 210-5 0 O → VE
NA01N CO38N0 FA40D1 213-39 0 Conta → LO Counting
NA015 CO30N0 FA33D1 213-8 0 RE → RO
NA63÷NA68 RO → M
NA04N CO07N0 FE80D1 210-30 0 Conta → VE Counting
NA056 C112N0 SE55N1 223-15 0 Reset SO02
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
Condizioni / Conditions

Fig. 14.2.3

RISPOSTE

a) - S107.

b) - No.

c) - Due, RO e RE.

d) - Viene inibita perché RO deve essere caricato con il contenuto di RE.

14.3. CMI - CONFRONTO CON COSTANTE

Completare il flow di Fig. 14.3.2 e rispondere alle seguenti domande :

a) - Il carattere contenuto nel campo E con quale carattere si confronta ?

.....

.....

b) - Si avvia l'U.A. ?

.....

.....

c) - Cosa indicano RIPO e DIVE ?

.....

.....

d) - Con quali organi si rilevano i risultati del confronto ?

.....

.....

e) - Indicare nella tabellina i valori di RIPO e DIVE che determinano i confronti :

		DIVE 0	DIVE 1
RIPO	0		E < A
	1	E = A	E > A

ISTRUZIONE / INSTRUCTION CMI

DA / FROM S 104 | STATO 107 | X X X X 1 1 1 0 | FASE / PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
	CO62N0	FA34D1	221-2		0	Selezione Meno Minus Counting Select
NA005	CO38N0	FA40D1	213-39		0	Prepara Conta Counting Enable ⟶ LO
NA005	CO00N0	S107D1	210-5		0	VE ⟶ VO
NA005	CO18N0	FA47D1	212-14		0	O ⟶ RA
NA61+NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA01N	CO38N0	FA40D1	213-39		0	Conta Counting ⟶ LO
NA015	CO00N0	S107D1	210-6		0	O ⟶ VE
NA015	CO32N0	FA47D1	213-12		0	RE ⟶ RA
NA56N	CO61N0	FA34D1	220-31		0	Ciclo Unità Aritmetica Aritmetic Delay
NA085	CO66N0	FA34D1	221-27		0	U.A. ⟶ RIPO.
NA085	CO66N0	FA34D1	221-27		0	U.A. ⟶ DIVE
NA63+NA68						RO ⟶ M
NA63+NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO07N0	FE80D1	210-30		0	Conta Cpunting ⟶ VE
NA056	C112N0	SE55N1	223-15		0	Reset SO02

ALLO STATO / TO THE STATE

S 101	X	X	0	X	1	0	1	0	

Condizioni / Conditions
DIVE = 1 : U.A ≠ 0
RIPO = 1 : Riporto/Carry

Fig. 14.3.1

CMI

Fase Beta

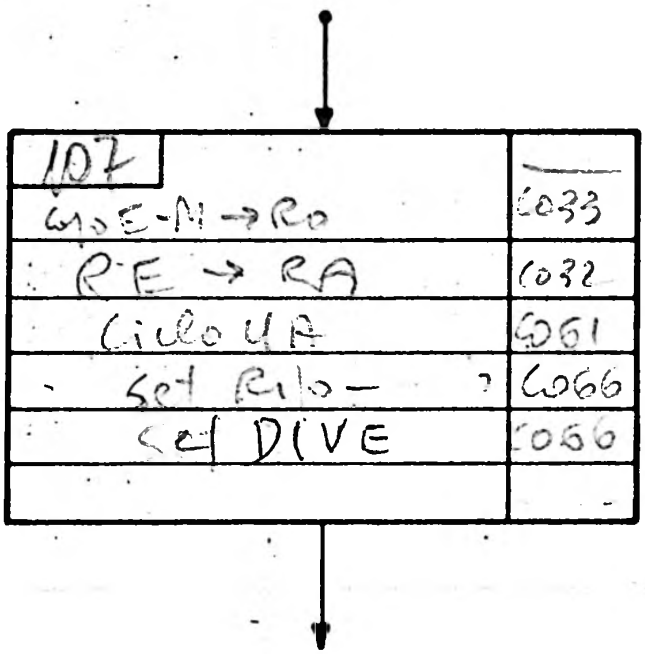


Fig. 14.3.2

CM I

Fase Beta

Da Fase Alfa (S104)

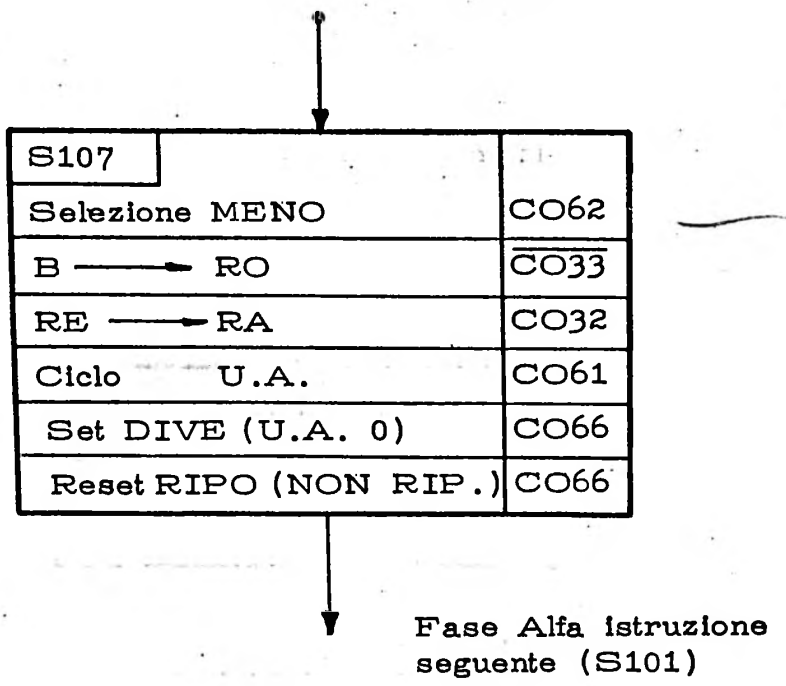


Fig. 14.3.3

RISPOSTE

a) - Con il carattere posto in RE.

b) - Si, perché il confronto viene eseguito come differenza.

c) - Indicano i riporti e se il risultato é $\neq 0$.

d) - Con le combinazioni di RIPO e DIVE.

e) -

		DIVE	
		0	1
RIPO	0		E < A
	1	E = A	E > A

LEZIONE 15

Tempo di studio
ore 1 e 30 minuti

15. ISTRUZIONI DEL GRUPPO D4 : HLT–NOP2–INS,ENS–LON,LOFF

15.1. A questo gruppo appartengono le istruzioni che non determinano modificazioni significative sull'elaborazione in corso.

Esse costituiscono in genere, operazioni di comando infatti :

- l'istruzione HLT fa fermare l'elaborazione
- l'istruzione NOP2 non fa eseguire nessuna operazione.
- l'istruzione INS o ENS abilita o disabilita l'arresto manuale (STEP BY STEP)
- l'istruzione LOF e LON dà origine ad una segnalazione luminosa e crea una condizione interna utilizzabile con un SALTO.

Tutte le istruzioni sopra elencate sono costituite da due caratteri e non hanno una fase di esecuzione.

15.2. HLT - ARRESTO ELABORAZIONE

Completare il diagramma di flusso di Fig. 15.2.1 e rispondere alle seguenti :

DOMANDE

a) - Quali sono gli STATI percorsi ? 101 102
.....
.....

b) - In quale STATO si ferma l'elaboratore ? 102
.....
.....

c) - Quale operazione manuale bisogna fare perchè continui l'elaborazione ?

START.

.....

.....

d) - Perchè l'elaborazione si ferma ?

.....

.....

HLT

Fase Alfa

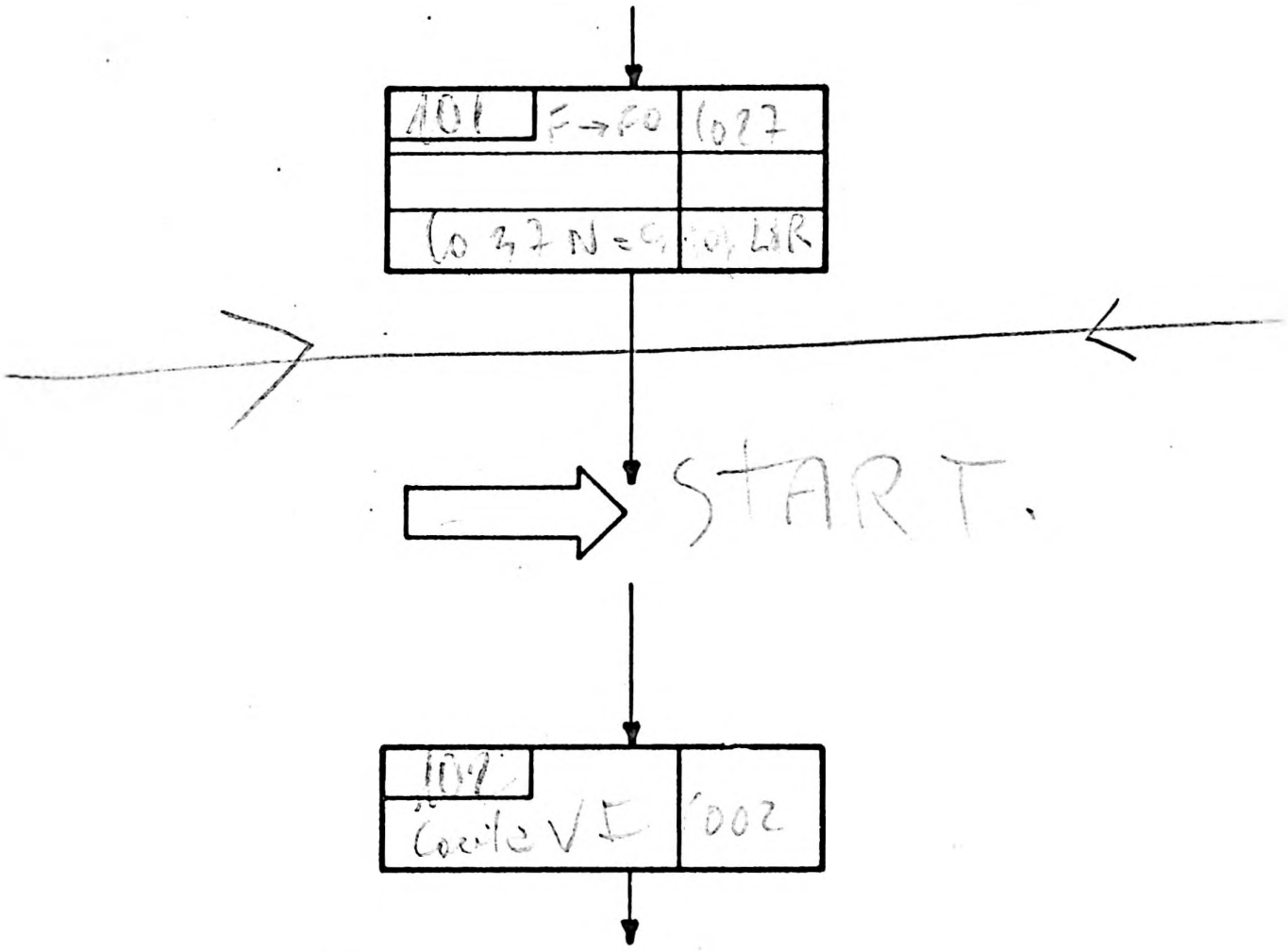


Fig. 15.2.1

HLT

Fase Alfa (Non esiste la Fase Beta)

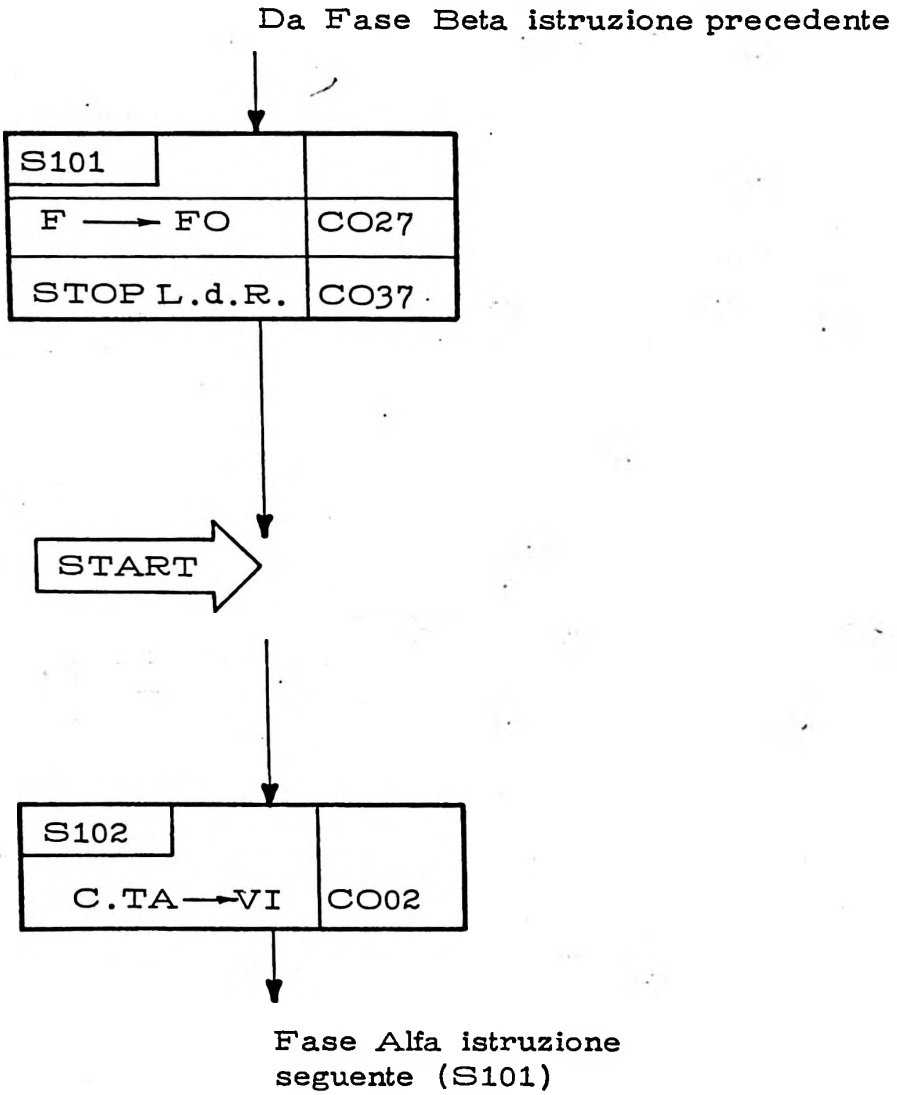


Fig. 15.2.2

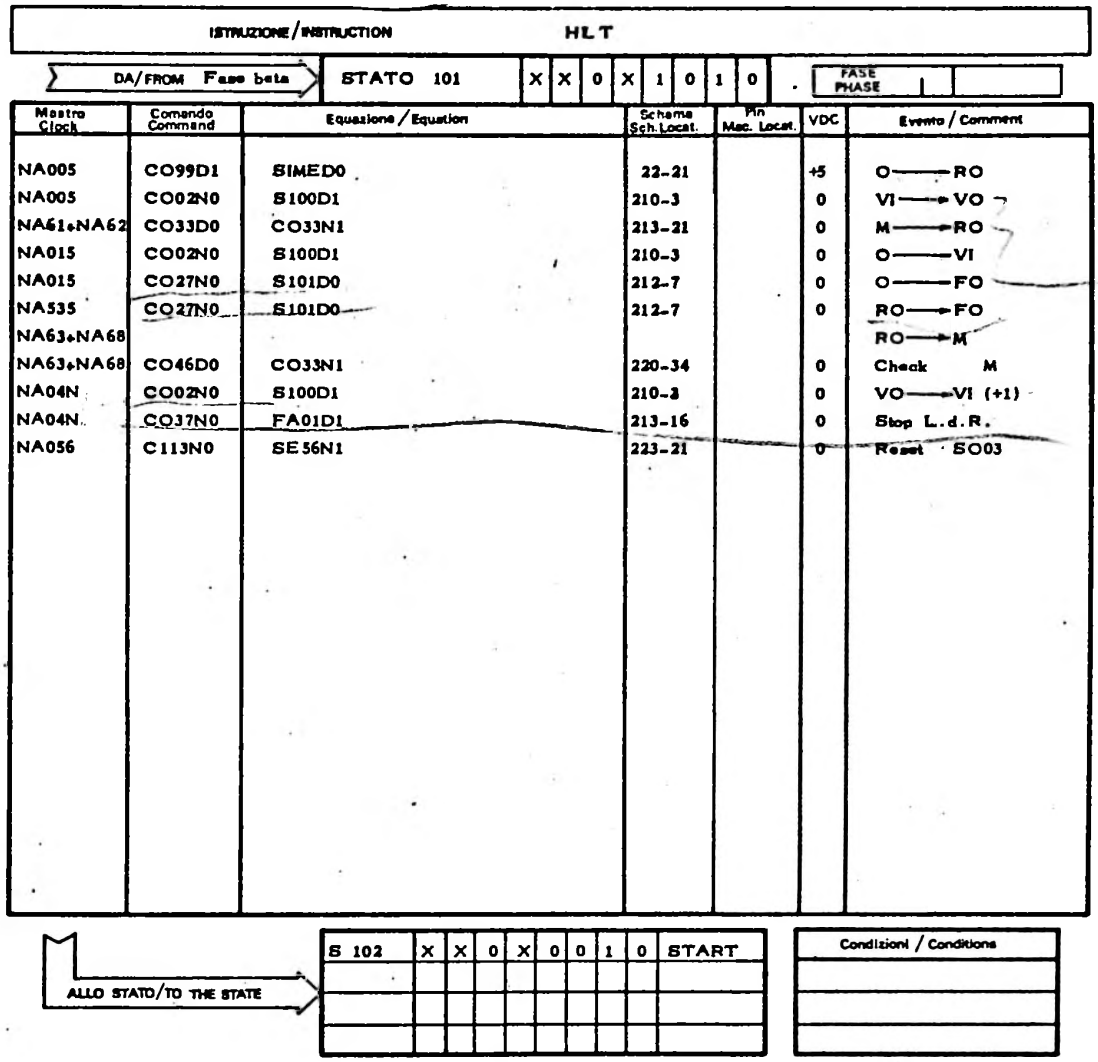
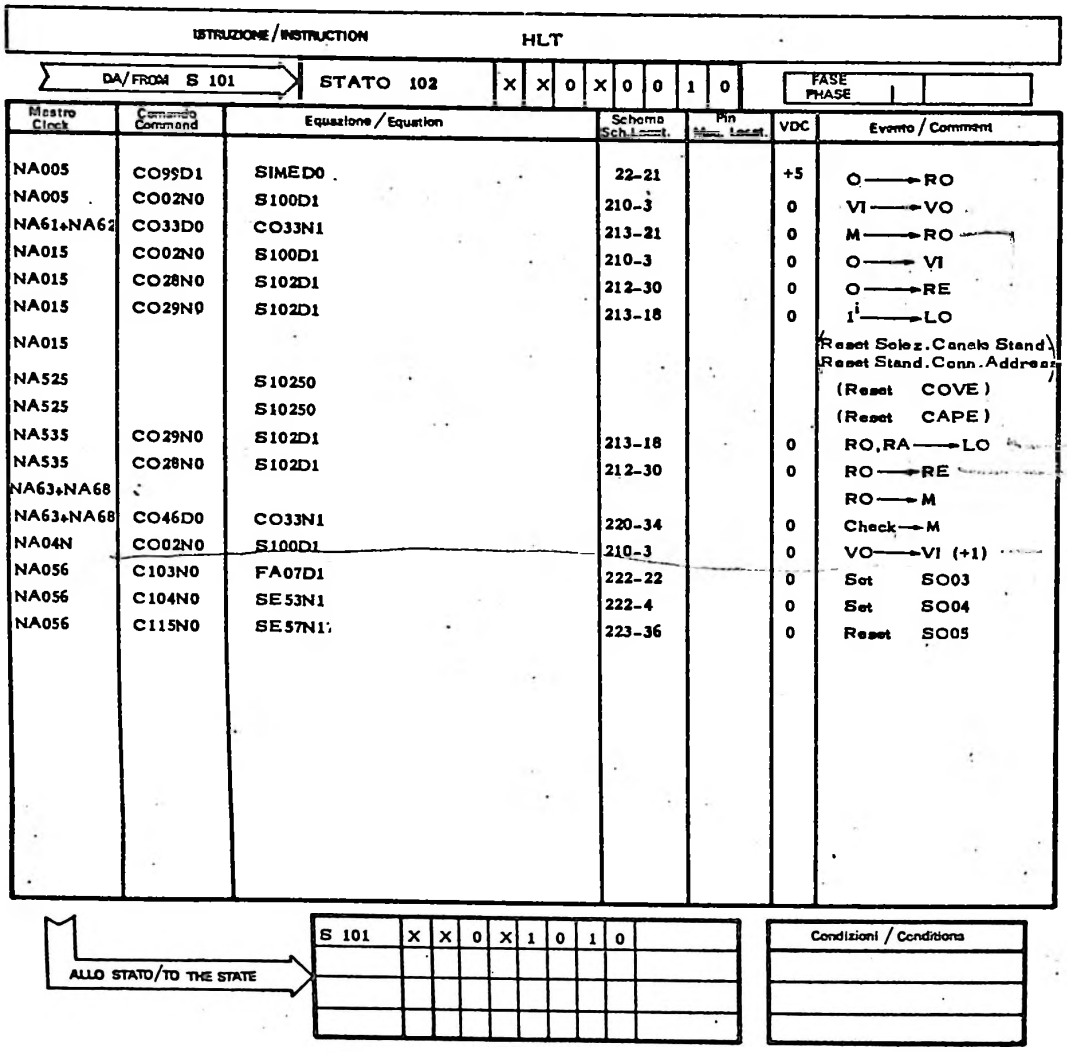

ISTRUZIONE / INSTRUCTION
HLT
DA/FROM Fase beta
STATO 101
X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O——RO
NA005 CO02N0 S100D1 210-3 0 VI——VO
NA61•NA62 CO33D0 CO33N1 213-21 0 M——RO
NA015 CO02N0 S100D1 210-3 0 O——VI
NA015 CO27N0 S101D0 212-7 0 O——FO
NA535 CO27N0 S101D0 212-7 0 RO——FO
NA63•NA68 RO——M
NA63•NA68 CO46D0 CO33N1 220-34 0 Check M
NA04N CO02N0 S100D1 210-3 0 VO——VI (+1)
NA04N CO37N0 FA01D1 213-16 0 Stop L.d.R.
NA056 C113N0 SE56N1 223-21 0 Reset SO03
F→FO
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0 START
Condizioni / Conditions

Fig. 15.2.3



ISTRUZIONE / INSTRUCTION: HLT

DA/FROM S 101 | STATO 102 | X X 0 X 0 0 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. cont.	Pin Mem. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO28N0	S102D1	212-30		0	O ⟶ RE
NA015	CO29N0	S102D1	213-18		0	1^{i} ⟶ LO
NA015						Reset Selez. Canale Stand. / Reset Stand. Conn. Address
NA525		S10250				(Reset COVE)
NA525		S10250				(Reset CAPE)
NA535	CO29N0	S102D1	213-18		0	RO, RA ⟶ LO
NA535	CO28N0	S102D1	212-30		0	RO ⟶ RE
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C103N0	FA07D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	X	1	0	1	0	

Condizioni / Conditions

Fig. 15.2.4

RISPOSTE

a) - Lo S101 e S102 .

b) - Nello S101.

c) - Premere il pulsante START.

d) - Perchè nello S101 si legge da memoria il carattere F di funzione che crea il comando d'arresto della Linea di Ritardo.

15.3. NOP2 - NON OPERABILE

Compilare lo schema di Fig.15.3.1 e rispondere alle seguenti :

DOMANDE

a) - Quali operazioni significative esegue tale istruzione ?

.....

.....

b) - Quali STATI vengono percorsi ?

.....

.....

c) - A cosa serve tale istruzione ?

.....

.....

d) - Cosa eseguono i cicli di memoria ?

.....

.....

NOP2

Fase Alfa

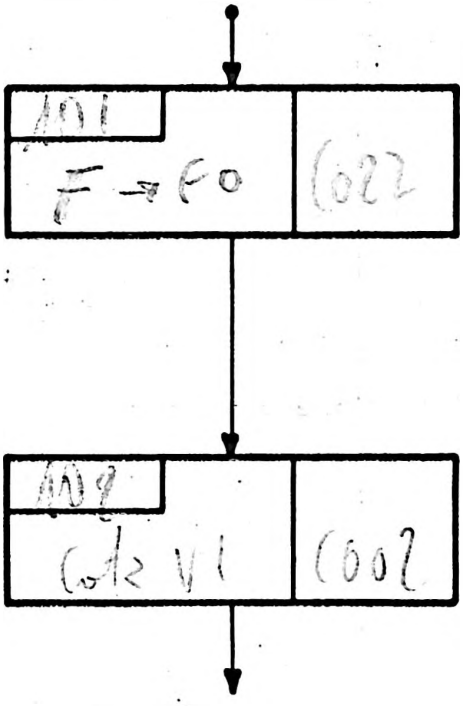
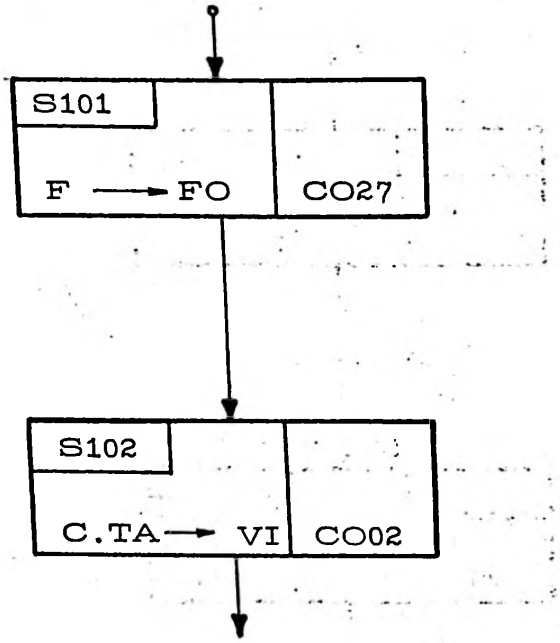


Fig. 15.3.1

NOP2

Fase Alfa (Non esiste la Fase Beta)

Da Fase Beta istruzione precedente



Fase Alfa istruzione seguente (S101)

Fig. 15.3.2

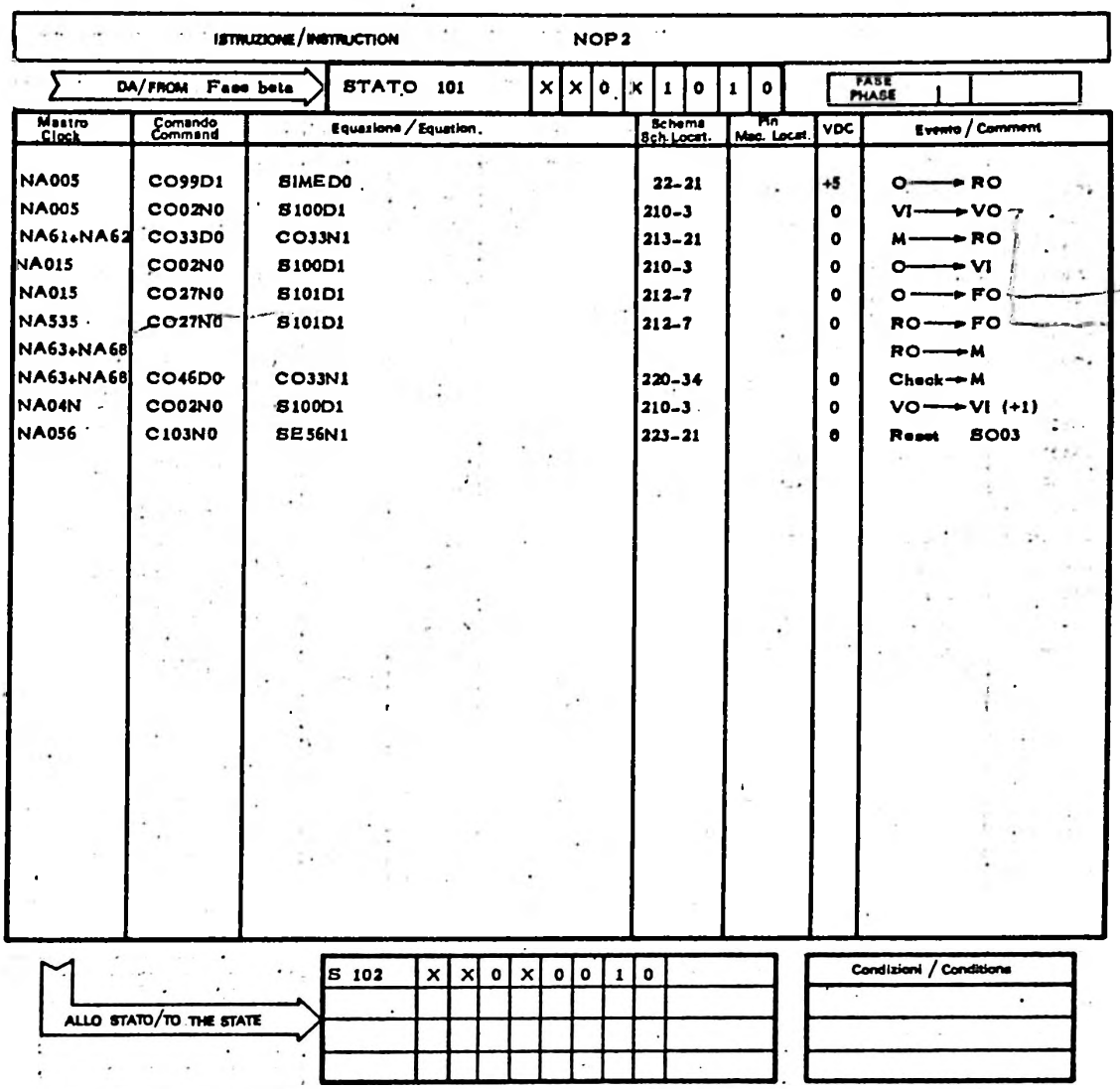

ISTRUZIONE / INSTRUCTION
NOP 2
DA/FROM Fase beta
STATO 101
X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation.
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO27N0 S101D1 212-7 0 O → FO
NA535 CO27N0 S101D1 212-7 0 RO → FO
NA63÷NA68 RO → M
NA63÷NA68 CO46D0 CO33N1 220-34 0 Check → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C103N0 SE56N1 223-21 0 Reset SO03
F → FO
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0
Condizioni / Conditions

Fig. 15.3.3

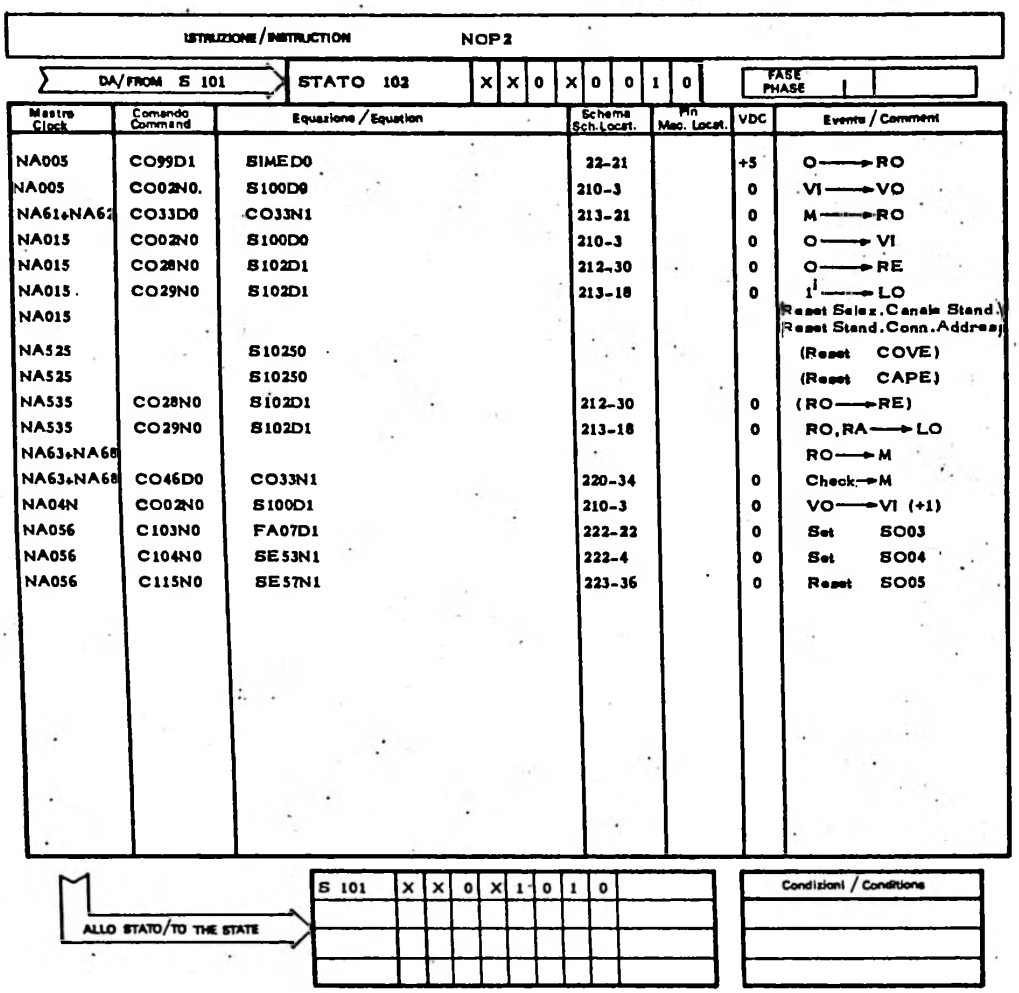

ISTRUZIONE / INSTRUCTION NOP2
DA/FROM S 101
STATO 102
X X 0 X 0 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O ⟶ RO
NA005 CO02N0. S100D0 210-3 0 VI ⟶ VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M ⟶ RO
NA015 CO02N0 S100D0 210-3 0 O ⟶ VI
NA015 CO28N0 S102D1 212-30 0 O ⟶ RE
NA015 CO29N0 S102D1 213-18 0 1 ⟶ LO
NA015 (Reset Selez.Canale Stand.)
(Reset Stand.Conn.Address)
NA525 S10250 (Reset COVE)
NA525 S10250 (Reset CAPE)
NA535 CO28N0 S102D1 212-30 0 (RO ⟶ RE)
NA535 CO29N0 S102D1 213-18 0 RO,RA ⟶ LO
NA63÷NA68 RO ⟶ M
NA63÷NA68 CO46D0 CO33N1 220-34 0 Check ⟶ M
NA04N CO02N0 S100D1 210-3 0 VO ⟶ VI (+1)
NA056 C103N0 FA07D1 222-22 0 Set SO03
NA056 C104N0 SE53N1 222-4 0 Set SO04
NA056 C115N0 SE57N1 223-36 0 Reset SO05
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
Condizioni / Conditions

Fig. 15.3.4

RISPOSTE

a) - Nessuna utile per l'elaborazione.

b) - S101 - S102.

c) - A mantenere libere per future utilizzazioni delle posizioni di programma.

d) - La lettura e scrittura dello stesso carattere nella medesima posizione di memoria.

15.4. INS E ENS - ABILITA O DISABILITA ARRESTO

L'istruzione INS consente di disabilitare l'effetto del lo STEP BY STEP manuale (ISISN) mentre l'istruzione ENS permette di abilitarlo.

L'utilità dell'istruzione INS é evidente qualora si pensi di voler analizzare un programma dividendolo in parti. Ogni singola parte all'inizio avrà una istruzione INS , disabilita arresto, quindi al termine della parte ci sarà un'altra istruzione ENS di abilita arresto.

Procedendo in STEP BY STEP (da console) il programma, incontrando l'istruzione INS disabilita il funzionamento passo-passo nello svolgimento fino ad incontrar e la istruzione ENS di abilita STEP BY STEP.

Ciò fà fermare l'elaboratore.

A questo punto si può verificare che lo spezzone del programma eseguito abbia generato i risultati voluti.

La differenza tra abilita e disabilita é determinata dal carattere F' avente due valori diversi.

ENS - ABILITA STEP BY STEP	
F	F'
0/2	1/0

INS - DISABILITA STEP BY STEP	
F	F'
0/2	2/0

I comandi di F' agiscono direttamente sulla rete di formazione del CO37 che agisce sull'arresto della L.d.R.

Compilare il diagramma di Fig. 15.4.1 indi rispondere alle domande poste nella pagina seguente.

INS-ENS

Fase Alfa

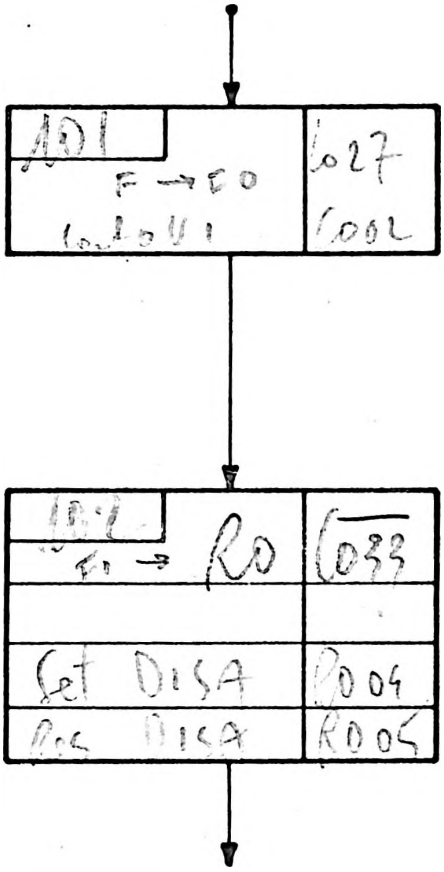
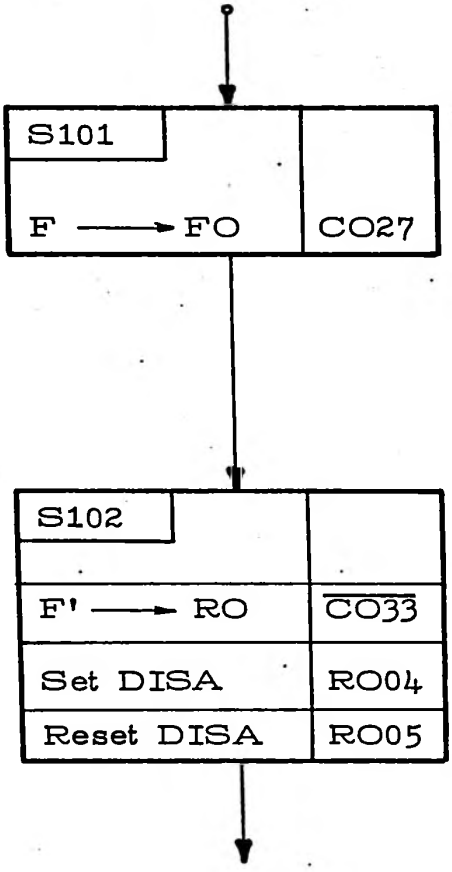


Fig. 15.4.1

INS-ENS

Fase Alfa (Non esiste la Fase Beta)



Fase Alfa istruzione seguente (S101)

Fig. 15.4.2

DOMANDE

a) - Quali STATI si percorrono ?

S0 / S2

b) - In quale STATO si genera o si toglie il comando C037?

S1, S0, S2

c) - A quale STATO si va al termine dell'istruzione ?

S101 istruz successiva se non c'è salto ...
V. F.

ISTRUZIONE / INSTRUCTION	INS-ENS

DA/FROM Fase beta	STATO 101	X	X	0	X	1	0	1	0	FASE PHASE	

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟵ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO27N0	S101D1	212-7		0	O ⟶ FO
NA535	CO27N0	S101D1	212-7		0	RO ⟶ FO
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C113N0	SE56N1	223-21		0	Reset SO03

F → FO

ALLO STATO/TO THE STATE	S 102	X	X	0	X	0	0	1	0	Condizioni / Conditions

Fig. 15.4.3

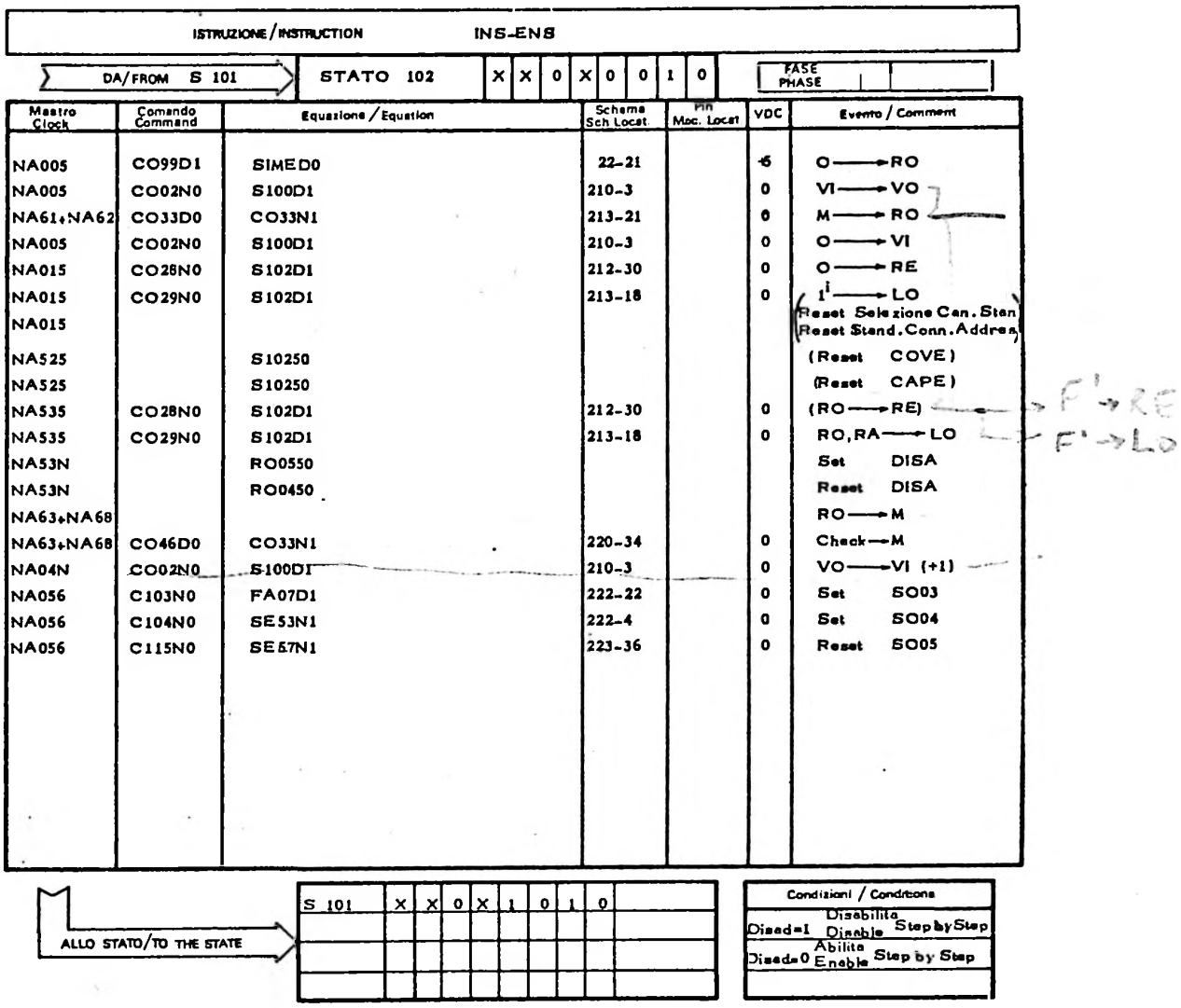

ISTRUZIONE / INSTRUCTION INS-ENS
DA/FROM S 101
STATO 102 X X 0 X 0 0 1 0
FASE PHASE
Mastro Clock | Comando Command | Equazione / Equation | Schema Sch Locat. | Pin Mac. Locat | VDC | Evento / Comment
NA005 CO99D1 SIMED0 22-21 5 O ⟶ RO
NA005 CO02N0 S100D1 210-3 0 VI ⟶ VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M ⟶ RO
NA005 CO02N0 S100D1 210-3 0 O ⟶ VI
NA015 CO28N0 S102D1 212-30 0 O ⟶ RE
NA015 CO29N0 S102D1 213-18 0 1 ⟶ LO
NA015 Reset Selezione Can. Sten
Reset Stand. Conn. Addres
NA525 S10250 (Reset COVE)
NA525 S10250 (Reset CAPE)
NA535 CO28N0 S102D1 212-30 0 (RO ⟶ RE)
NA535 CO29N0 S102D1 213-18 0 RO, RA ⟶ LO
NA53N RO0550 Set DISA
NA53N RO0450 Reset DISA
NA63÷NA68 RO ⟶ M
NA63÷NA68 CO46D0 CO33N1 220-34 0 Check ⟶ M
NA04N CO02N0 S100D1 210-3 0 VO ⟶ VI (+1)
NA056 C103N0 FA07D1 222-22 0 Set SO03
NA056 C104N0 SE53N1 222-4 0 Set SO04
NA056 C115N0 SE57N1 223-36 0 Reset SO05
F' → RE
F' → LO
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
Condizioni / Conditions
Disab=1 Disabilita Disable Step by Step
Disab=0 Abilita Enable Step by Step

Fig. 15.4.4

RISPOSTE

a) - Lo S101 e lo S102.

b) - Nello S102 settando il flip-flop DISA o resettandolo a seconda del valore di F'.

c) - Allo S101 dell'istruzione seguente.

15.5. LON-LOFF. ACCENDI O SPEGNI LA LAMPADINA DI CONSOLE "OPERATOR CALL"

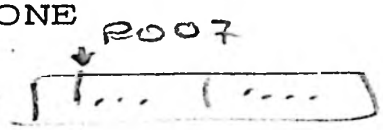
L'istruzione LON-LOFF consente di accendere o spegnere una segnalazione luminosa in console ed inoltre dà origine ad una condizione di salto utilizzabile da programma.

L'utilizzazione di tale istruzione é valida per segnalare una strada particolare che il programma percorre oppure una condizione d'arresto voluta (LON-ALT).

Le due configurazioni sono determinati dal codice F'.

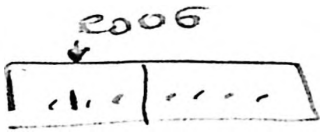
LON - ACCENDI SEGNALAZIONE

F	F'
0/2	8/0



LOFF - SPEGNI CONDIZIONE

F	F'
0/2	4/0



Compilare il diagramma di flusso della Fig. 15.5.1 e risponde alle seguenti :

DOMANDE

a) - Quali STATI si percorrono ? S 101 / 102

b) - E' una istruzione avente fase beta ? NO

c) - In quale STATO si determina l'accensione della lampadina ? S 102 (F)

LON-LOFF

Fase Alfa

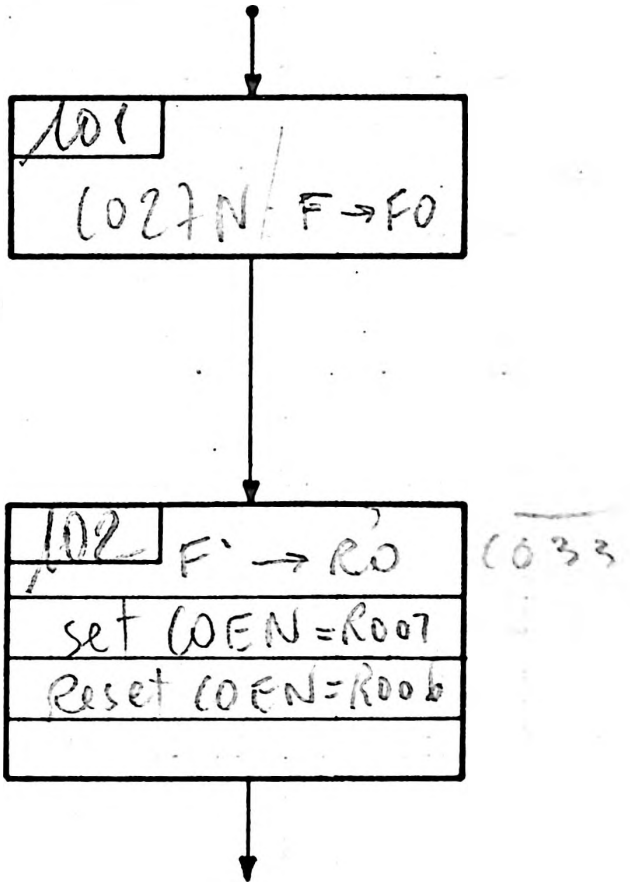


Fig. 15.5.1

LON-LOFF

Fase Alfa (Non esiste la Fse Beta)

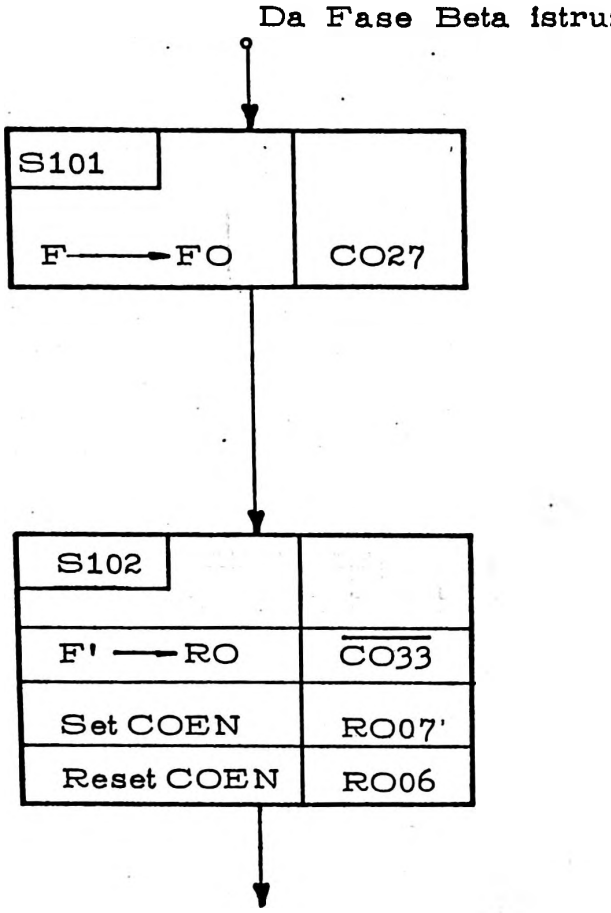


Fig. 15.5.2

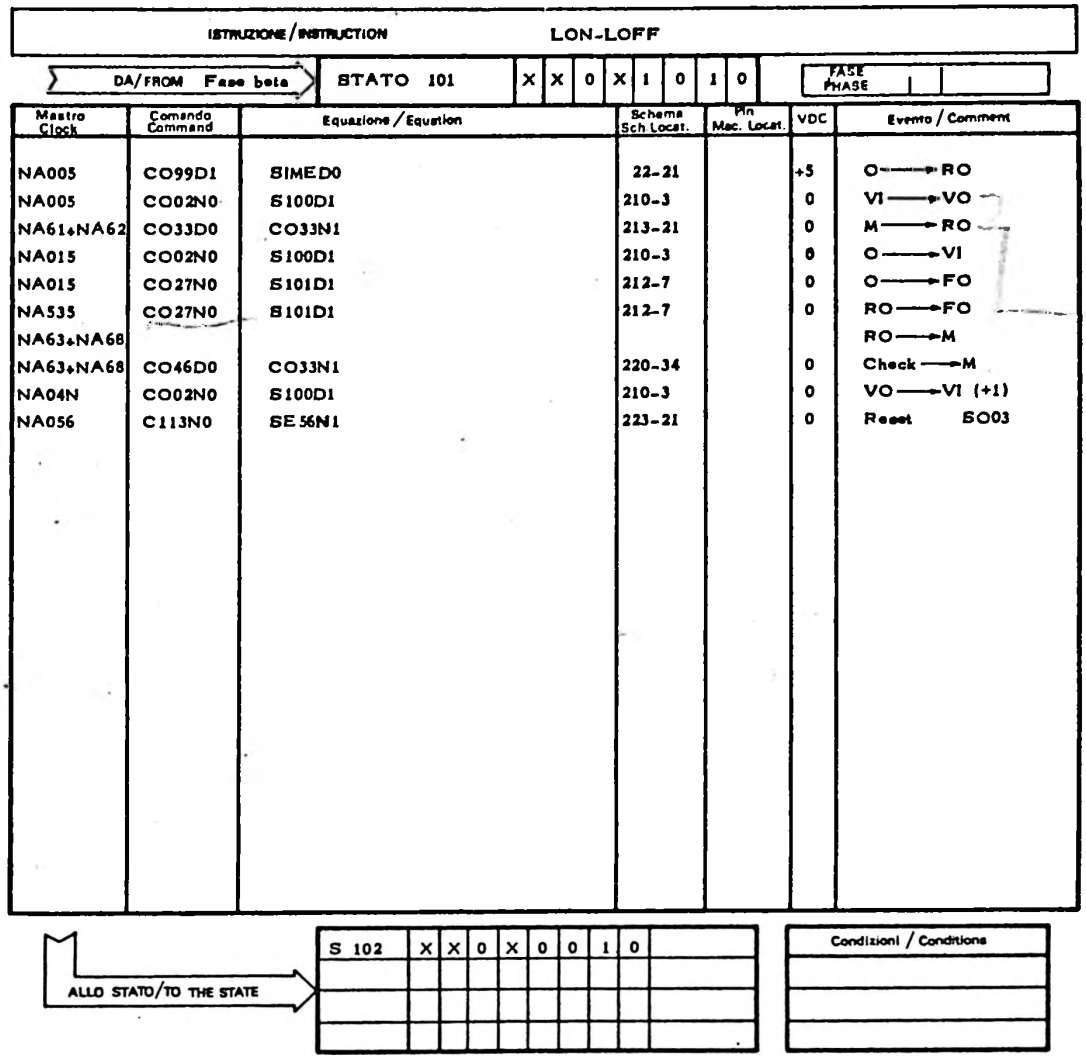

ISTRUZIONE / INSTRUCTION
LON-LOFF
DA/FROM Fase beta
STATO 101
X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO27N0 S101D1 212-7 0 O → FO
NA535 CO27N0 S101D1 212-7 0 RO → FO
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 Check → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset SO03
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0
Condizioni / Conditions

Fig. 15.5.3

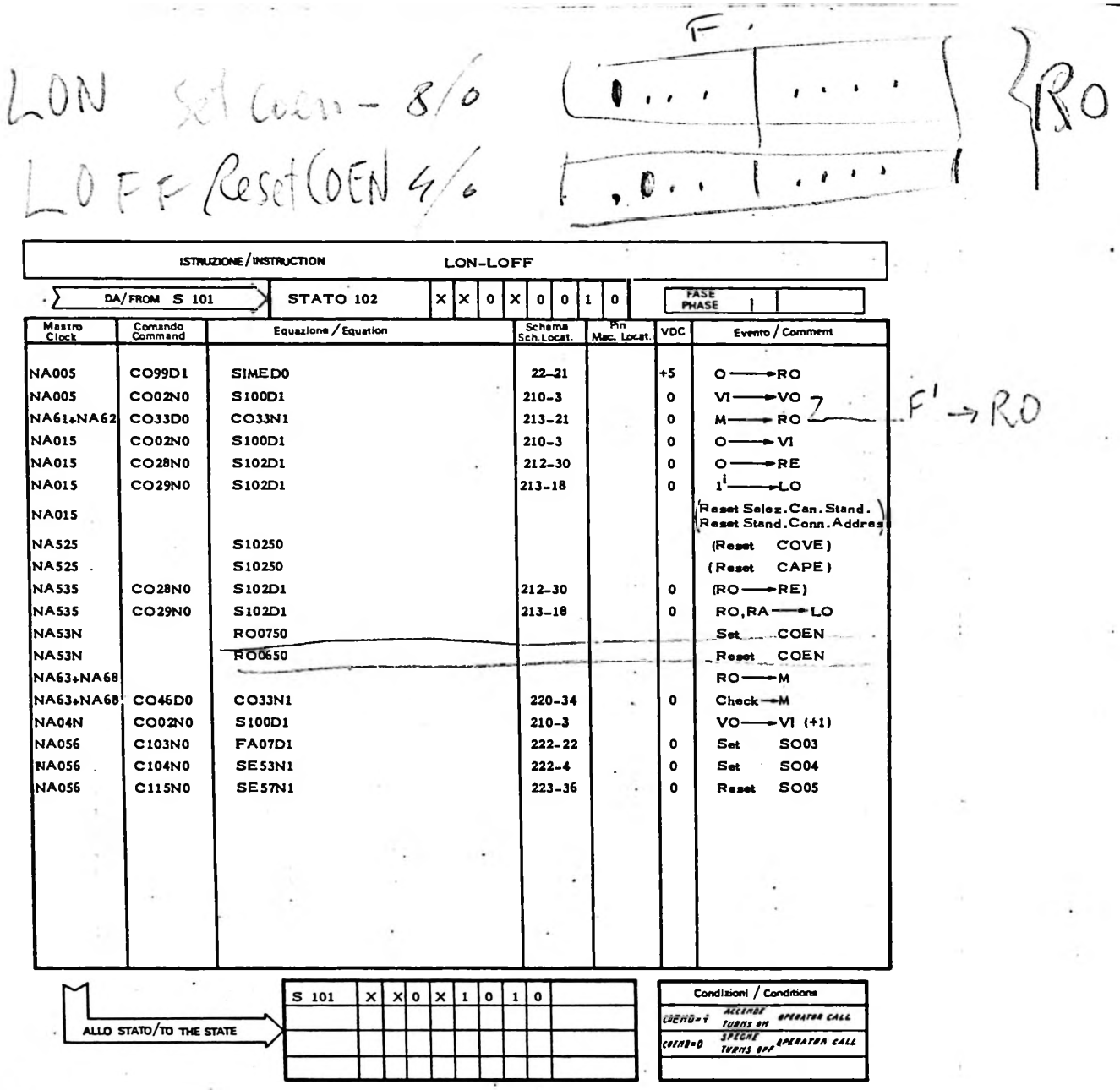

LON Set Coen - 8/6
LOFF Reset COEN 4/6
F'
RO
ISTRUZIONE / INSTRUCTION
LON-LOFF
DA/FROM S 101
STATO 102
X X 0 X 0 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO28N0 S102D1 212-30 0 O → RE
NA015 CO29N0 S102D1 213-18 0 1i → LO
NA015 (Reset Selez.Can.Stand. Reset Stand.Conn.Addres)
NA525 S10250 (Reset COVE)
NA525 S10250 (Reset CAPE)
NA535 CO28N0 S102D1 212-30 0 (RO → RE)
NA535 CO29N0 S102D1 213-18 0 RO,RA → LO
NA53N RO0750 Set COEN
NA53N RO0650 Reset COEN
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 Check → M
NA04N CO02N0 S100D1 210-3 VO → VI (+1)
NA056 C103N0 FA07D1 222-22 0 Set SO03
NA056 C104N0 SE53N1 222-4 0 Set SO04
NA056 C115N0 SE57N1 223-36 0 Reset SO05
F' → RO
ALLO STATO/TO THE STATE
S 101 X X 0 X 1 0 1 0
Condizioni / Conditions
COENB=1 ACCENDE TURNS ON OPERATOR CALL
COENB=0 SPEGNE TURNS OFF OPERATOR CALL

Fig. 15.5.4

RISPOSTE

a) - Lo S101 e S102.

b) - No.

c) - Nello S102.

LEZIONE 16

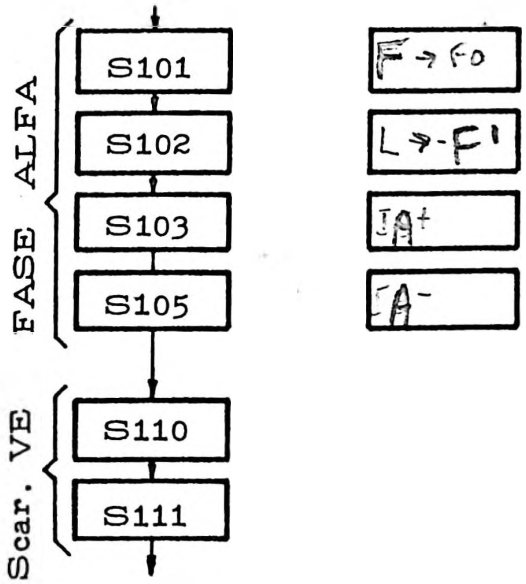
Tempo di studio
ore 1 e 30 minuti

16. ISTRUZIONI DEL GRUPPO C4 : JRT-JC-JS

16.1. Tali istruzioni consentono, analizzando certe condizioni dell'elaboratore e qualora queste si siano verificate, di ritornare ad una istruzione del programma precedente - mente svolto o di saltare un certo numero di istruzioni.

L'indirizzo espresso nell'istruzione é l'indirizzo dal quale si deve continuare il programma qualora la condizione richiesta si sia verificata.

La struttura delle istruzioni é la seguente :



ISTR	SIGNIFICATO	CODICE Esadecim.	(F) in codice binario
JRT	Salta e riserva indir.	4 / 5	0 1 0 0 0 1 0 1
JC	Salto su condizione	4 / 7	0 1 0 0 0 1 1 1
JS	Salto su cond.est.e err.	5 / 3	0 1 0 1 0 0 1 1
			07 06 05 04 03 02 01 00

DOMANDE

a) - Completare la tabella ed indicare in ogni rettangolo di fianco agli STATI il codice simbolico dell'istruzione.

.....
.....

b) - Quale indirizzo esprime l'istruzione ?

.....l'indirizzo I.A. dove si deve saltare.....
.....

c) - Nell'istruzione JRT perchè si eseguono gli S110 e S111 ?

.....la memorizzazione in locz 255/256
.....l'indirizzo da caricare in caso di salto
.....

d) - Quando la condizione di salto non è verificata come si procede ?

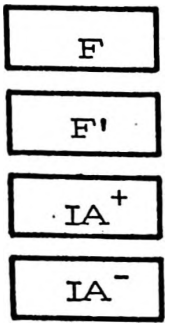
non si salta ... ma si passa
.....all'istruzione successiva.....

e) - Esistono salti incondizionati ?

.....
.....Sì.....

RISPOSTE

a) -



b) - L'indirizzo al quale si deve saltare.

c) - Perché si deve scaricare nelle posizioni 255-254 l'indirizzo del codice di funzione della istruzione che segue la JRT.

d) - Si procede eseguendo l'istruzione successiva.

e) - Si. La JRT é un salto incondizionato ma se ne possono avere altri.

16.2. JRT - SALTA E RISERVA INDIRIZZO

E' un salto incondizionato.

L'indirizzo del carattere di funzione dell'istruzione seguente viene sempre memorizzato agli indirizzi 255 e 254.

Il complemento di codice o condizione di salto è 15/0.

Compilare il diagramma di flusso della Fig. 16.2.1 in di rispondere alle seguenti :

DOMANDE

a) - Quanti STATI percorre la JRT ?

.....101 / 2 / 3 / 5 // no / 01.....

b) - Qual'è il F.F.interessato dalle condizioni di salto ?

.....COVE.....

c) - In quale STATO si dispone il F.F. di cui sopra ?

.....COVE 103.....

d) - Nelle posizioni 255 - 254 si memorizza il carattere di funzione o l'indirizzo dell'istruzione seguente ?

.....l'indirizzo codice istruz. Sp—

e) - A cosa può servire tale memorizzazione ?

.....per essere ripristinato in uscita dal loop—

f) - Quando ha termine l'istruzione ? non ben posto

.....con S.III.....

Ren 5003

RISPOSTE

a) - Sei STATI (S101 - S102 - S103 - S105 - S110 - S111).

b) - Il flip-flop COVE.

c) - Nello S103.

d) - L'indirizzo al quale si trova il carattere di funzione dell'istruzione seguente.

e) - Può essere utilizzata da programma per riprendere l'esecuzione del programma dopo averlo deviato dalla strada normale.

f) - Nello S111.

JRT

Fase Alfa e fase Beta

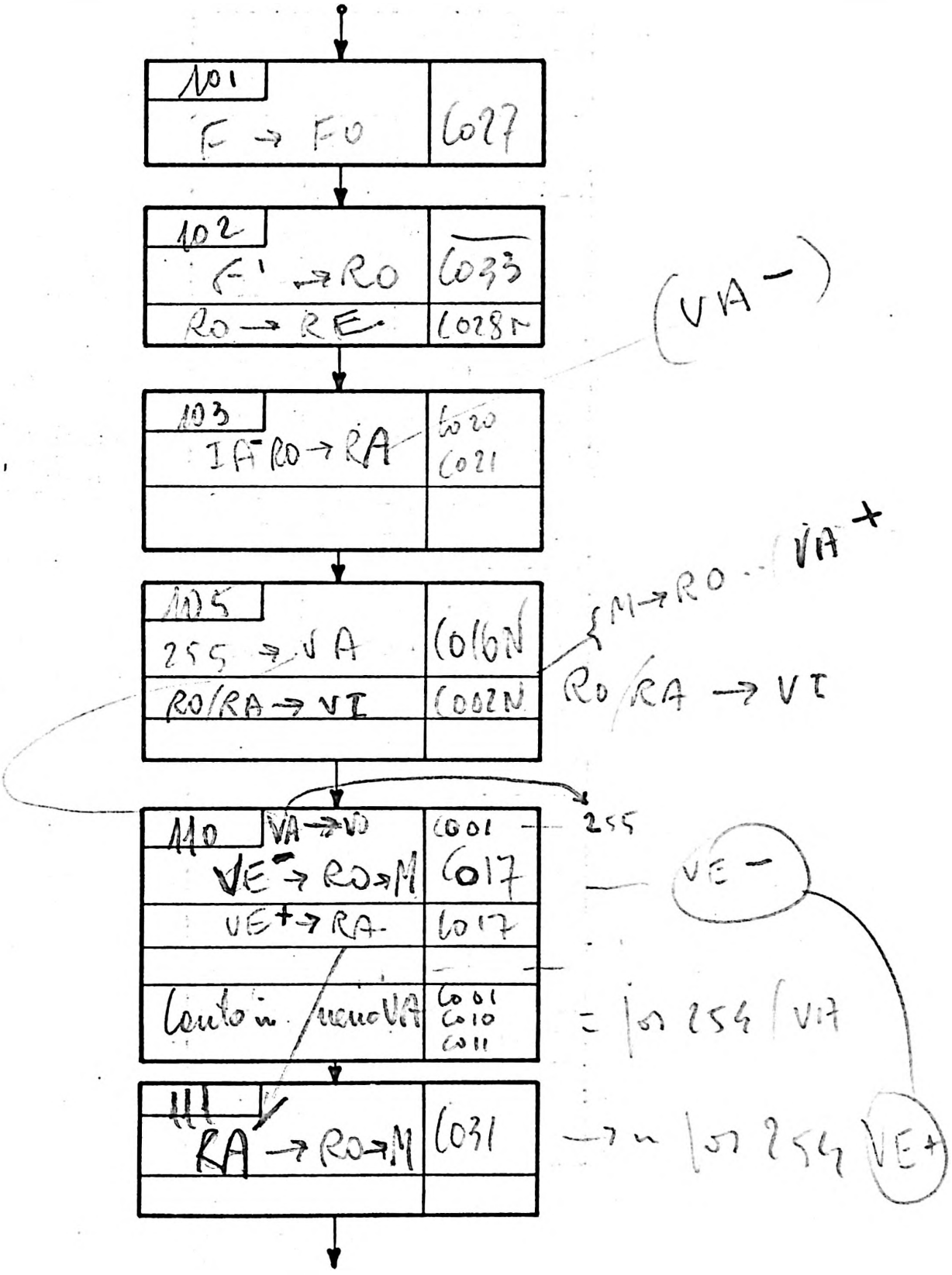


Fig. 16.2.1

Fase Alfa e Fase Beta

Da Fase Beta istruzione precedente

S101		
	F ⟶ FO	CO27
S102		
	Reset COVE	S1025
	F' ⟶ RE	CO28
S103		
	Abilita set COVE	CO49
	IA ⟶ RA	CO20 CO21
S105		
	IA ⟶ RO	$\overline{CO33}$
	RA, RO ⟶ VI	CO02
	255 ⟶ VA	CO16
S110		
	VA ⟶ VO	CO01
	VE ⟶ M	CO17
	VE ⟶ RA	CO17
	C.TA MENO — VA	CO01 CO10 CO11
S111		
	VA ⟶ VO	CO01
	RA ⟶ M	CO31

Fase Alfa istruzione seguente (S101)

Fig. 16.2.2

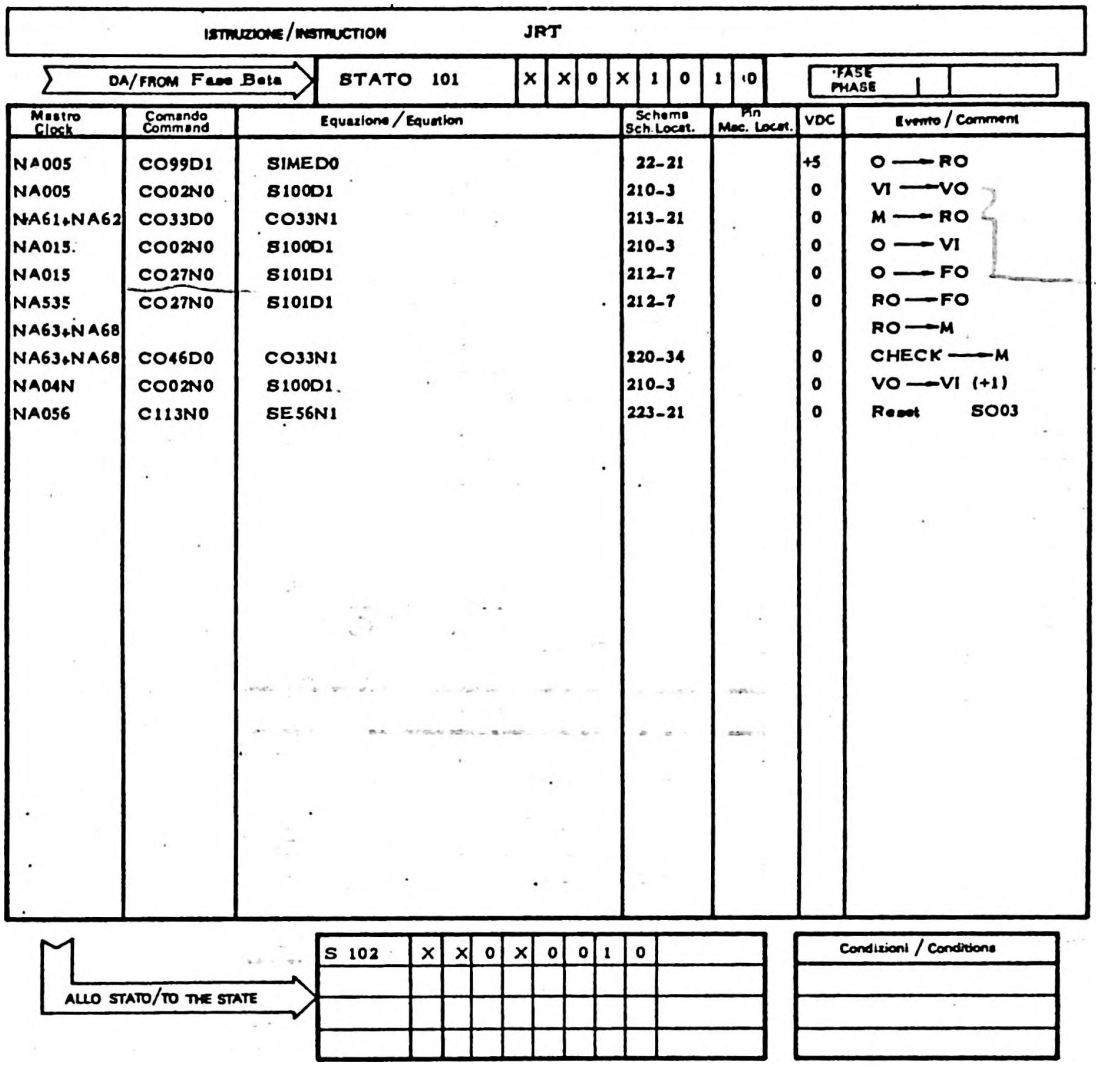
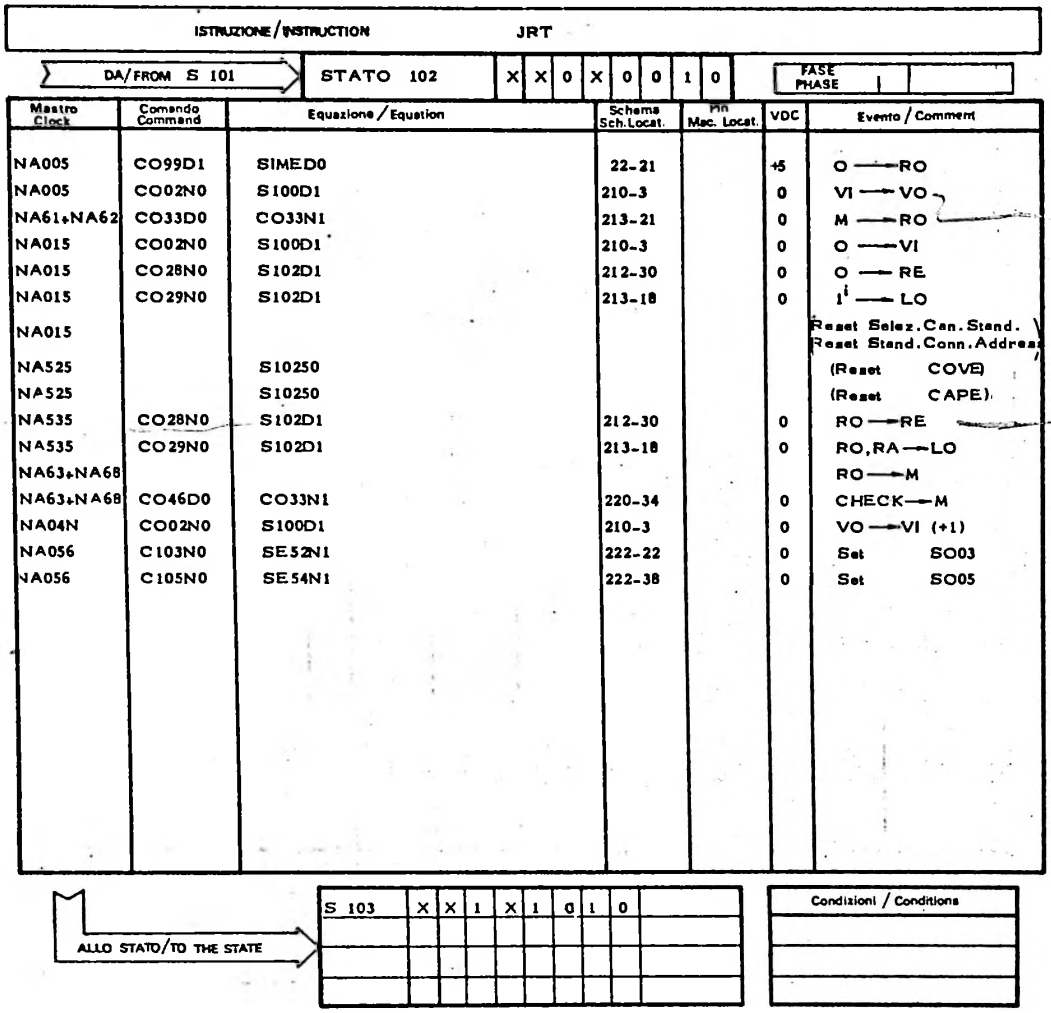

ISTRUZIONE / INSTRUCTION
JRT
DA/FROM Fase Beta
STATO 101
X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO27N0 S101D1 212-7 0 O → FO
NA535 CO27N0 S101D1 212-7 0 RO → FO
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset SO03
F → FO
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0
Condizioni / Conditions

Fig. 16.2.3



ISTRUZIONE / INSTRUCTION JRT

DA/FROM S 101 | STATO 102 | X X 0 X 0 0 1 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO28N0	S102D1	212-30		0	O ⟶ RE
NA015	CO29N0	S102D1	213-18		0	1 ⟶ LO
NA015						Reset Selez.Can.Stand. Reset Stand.Conn.Address
NA525		S10250				(Reset COVE)
NA525		S10250				(Reset CAPE)
NA535	CO28N0	S102D1	212-30		0	RO ⟶ RE
NA535	CO29N0	S102D1	213-18		0	RO,RA ⟶ LO
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C105N0	SE54N1	222-38		0	Set SO05

ALLO STATO/TO THE STATE | S 103 | X X 1 X 1 0 1 0 |

Condizioni / Conditions

Fig. 16.2.4

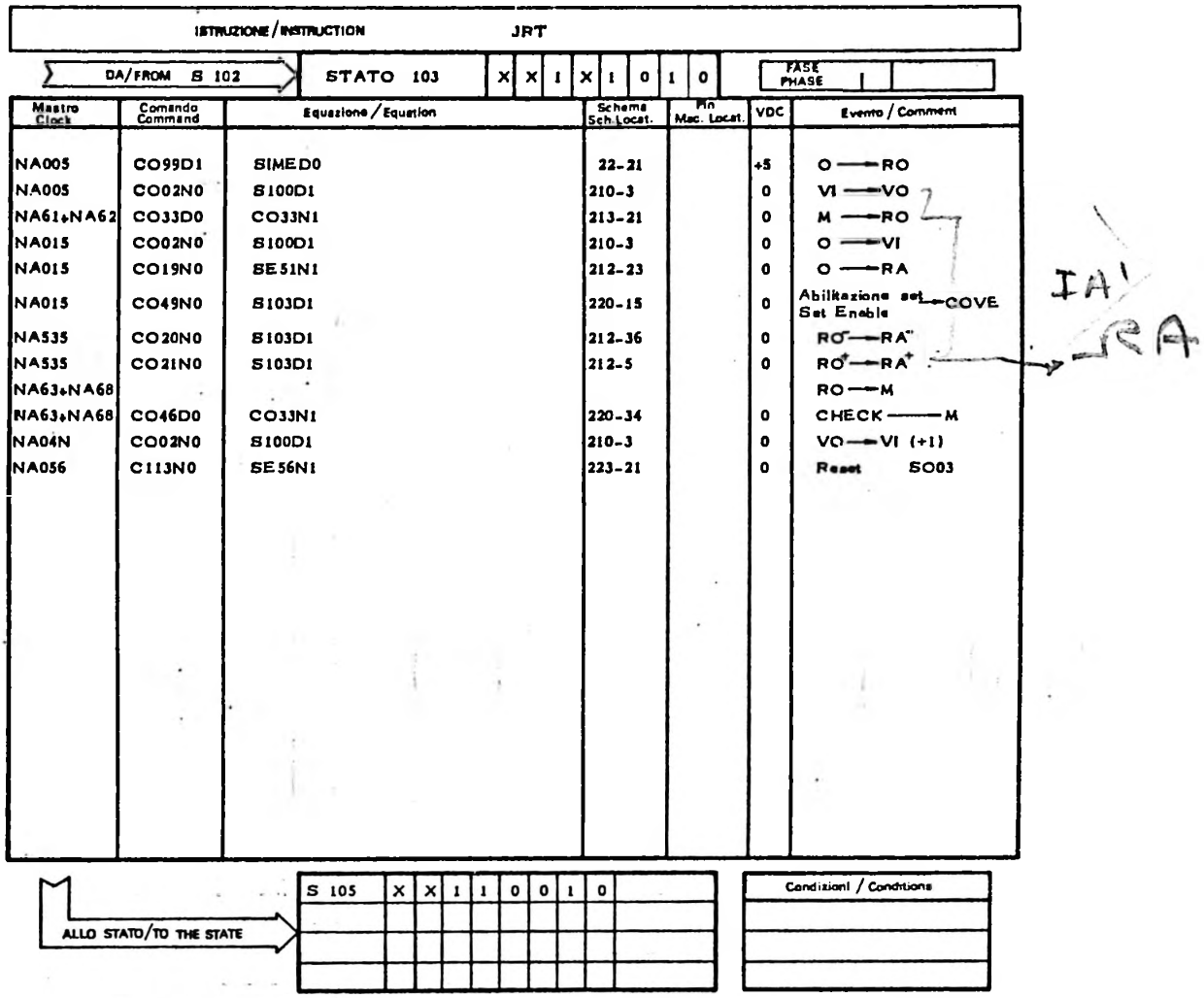

ISTRUZIONE / INSTRUCTION
JRT
DA/FROM S 102
STATO 103
X X 1 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO19N0 SE51N1 212-23 0 O → RA
NA015 CO49N0 S103D1 220-15 0 Abilitazione set Set Enable → COVE
NA535 CO20N0 S103D1 212-36 0 RO⁻ → RA⁻
NA535 CO21N0 S103D1 212-5 0 RO⁺ → RA⁺
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset SO03
IA
RA
ALLO STATO/TO THE STATE
S 105 X X 1 1 0 0 1 0
Condizioni / Conditions

Fig. 16.2.5

ISTRUZIONE / INSTRUCTION: JRT

DA/FROM S 103 | STATO 105 | X | X | 1 | 1 | 0 | 0 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO02N0	S100D1	210-3		0	VI → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO02N0	S100D1	210-3		0	O → VI
NA015	CO04N0	S105D1	210-19		0	O → VA+
NA015	CO05N0	S105D1	210-24		0	O → VA-
NA015	CO03N0	FA13D1	210-13		0	O → VE
NA535	CO16N0	FA13D1	212-3		0	255 → VA
NA535	CO02N0	S100D1 , CO11N0	210-3		0	RO, RA → VI
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK → M
NA04N	CO07N0	FA13D1 , COVEN0	210-30		0	Conta Counting → VE
NA04N	CO11D1	CO11N0	210-28		0	Inibizione Conta Counting Inhibit → VI
NA056	C102N0	FA12D1	222-46		0	Set SO02
NA056	C103N0	FA10D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C111N0	FA10D1	223-6		0	Reset SO01
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE: S 110 | X | X | 0 | 1 | 1 | 1 | 0 | 0 |

Condizioni / Conditions

Fig. 16.2.6

ISTRUZIONE / INSTRUCTION		JRT								
DA/FROM S 105	STATO 110	X	X	0	1	1	1	0	0	FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ——RO
NA005	CO01N0	S108D1	210-17		0	VA ——VO
NA61÷NA62	CO33N0	S108D1	213-25		0	Inibizione Memoria ——RO Memory out put inhibit
NA015	CO17N0	S110D1	212-10		0	VE ——RO
NA015	CO01N0	S108D1	210-17		0	O ——VA
NA015	CO19N0	SE51N1	212-23		0	O ——RA
NA535	CO17N0	S110D1	212-10		0	VE ——RA
NA63÷NA68	CO1050	CO1041	211-32		0	RO ——M Conta Meno Decreasing Counting
NA04N	CO01N0	S108D1	210-17		0	Conta ——VA Counting
NA056	C105N0	S110D1	222-38		0	Set SO05

VE → RO

→ M

ALLO STATO/TO THE STATE	S 111	X	X	1	1	1	1	0	0	Condizioni / Conditions

Fig. 16.2.7

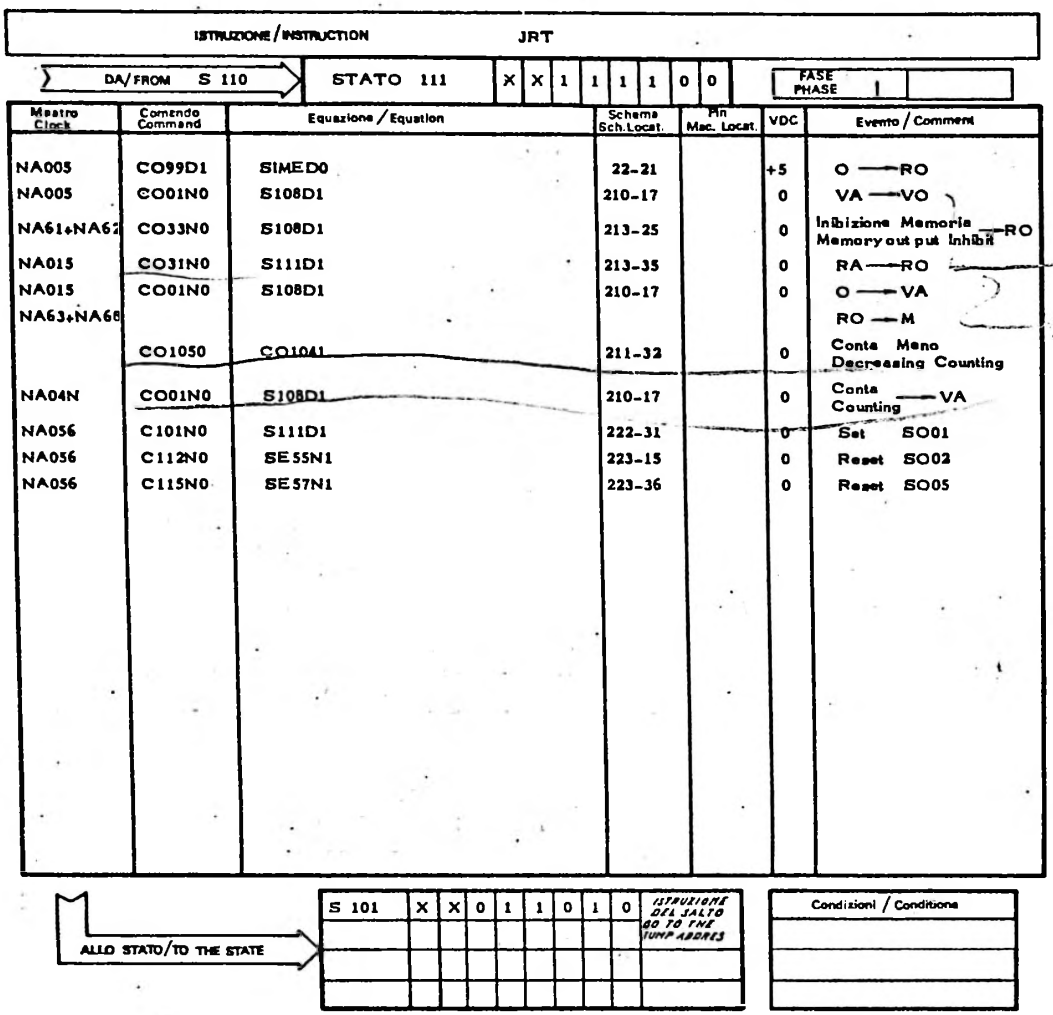

ISTRUZIONE / INSTRUCTION
JRT
DA/FROM S 110
STATO 111
X X 1 1 1 1 0 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch. Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O —RO
NA005 CO01N0 S108D1 210-17 0 VA —VO
NA61÷NA62 CO33N0 S108D1 213-25 0 Inibizione Memoria Memory out put Inhibit —RO
NA015 CO31N0 S111D1 213-35 0 RA—RO
NA015 CO01N0 S108D1 210-17 0 O —VA
NA63÷NA68 RO —M
CO1050 CO1041 211-32 0 Conta Meno Decreasing Counting
NA04N CO01N0 S108D1 210-17 0 Conta Counting —VA
NA056 C101N0 S111D1 222-31 0 Set SO01
NA056 C112N0 SE55N1 223-15 0 Reset SO02
NA056 C115N0 SE57N1 223-36 0 Reset SO05
RA → RO
2 → M
ALLO STATO/TO THE STATE
S 101 X X 0 1 1 0 1 0
ISTRUZIONE DEL SALTO GO TO THE JUMP ADDRES
Condizioni / Conditions

Fig. 16.2.8

16.3. JC - SALTA SU CONDIZIONE

Salta all'indirizzo indicato nell'istruzione se si verifica la condizione posta come secondo carattere (F,C, IA$^+$ IA$^-$).

L'analisi delle condizioni si esegue in relazione al posizionamento di RIPO e DIVE secondo la seguente tabella:

F' in codice binario								CODICE Esadecim.		Condizioni Esamin.		
07	06	05	04	03	02	01	00					
1	0	0	0	0	0	0	0	8	0	RIPO=0	DIVE=0	JC
0	1	0	0	0	0	0	0	4	0	RIPO=0	DIVE=1	JC (E<A)
0	0	1	0	0	0	0	0	2	0	RIPO=1	DIVE=0	JC.(E=A)
0	0	0	1	0	0	0	0	1	0	RIPO=1	DIVE=1	JC (E>A)
1	1	1	1	0	0	0	0	15	0	Incondizionato		Incondizion.
0	0	0	0	0	0	0	0	0	0	Non salto		Non salto

E' possibile usare anche le combinazioni dei 4 bit più significativi di F' con significati più particolari.

La presenza dei bit 07 e 06 a "1" significa analizza se RIPO = 0, i bit 04 e 05 solo RIPO=1, ecc.

Compilare il diagramma di flusso della Fig. 16.3.1 e rispondere alle seguenti :

DOMANDE

a) - Ponendo in F' di una JC 2/0 cosa si va a verificare ?

.....SE E=A (RIPO=1 .....
.....DIVE=0 .....

b) - Qual'é la condizione per cui una JC diventa incondizionata ?

.....F'=15/0.....
.....

c) - Se il flip-flop COVE è in set cosa significa ?

Sistema in condizione di verifica

d) - In che STATO si pone in set il flip-flop COVE ? Perchè ?

103

e) - In VI se COVE = 1 cosa si carica ?

Si carica il nuovo indirizzo per IA ±

f) - Se invece COVE = 0 cosa si avrà in VI ?

l'indirizzo della prossima istruzione sequenziale

JC

Fase Alfa e Fase Beta

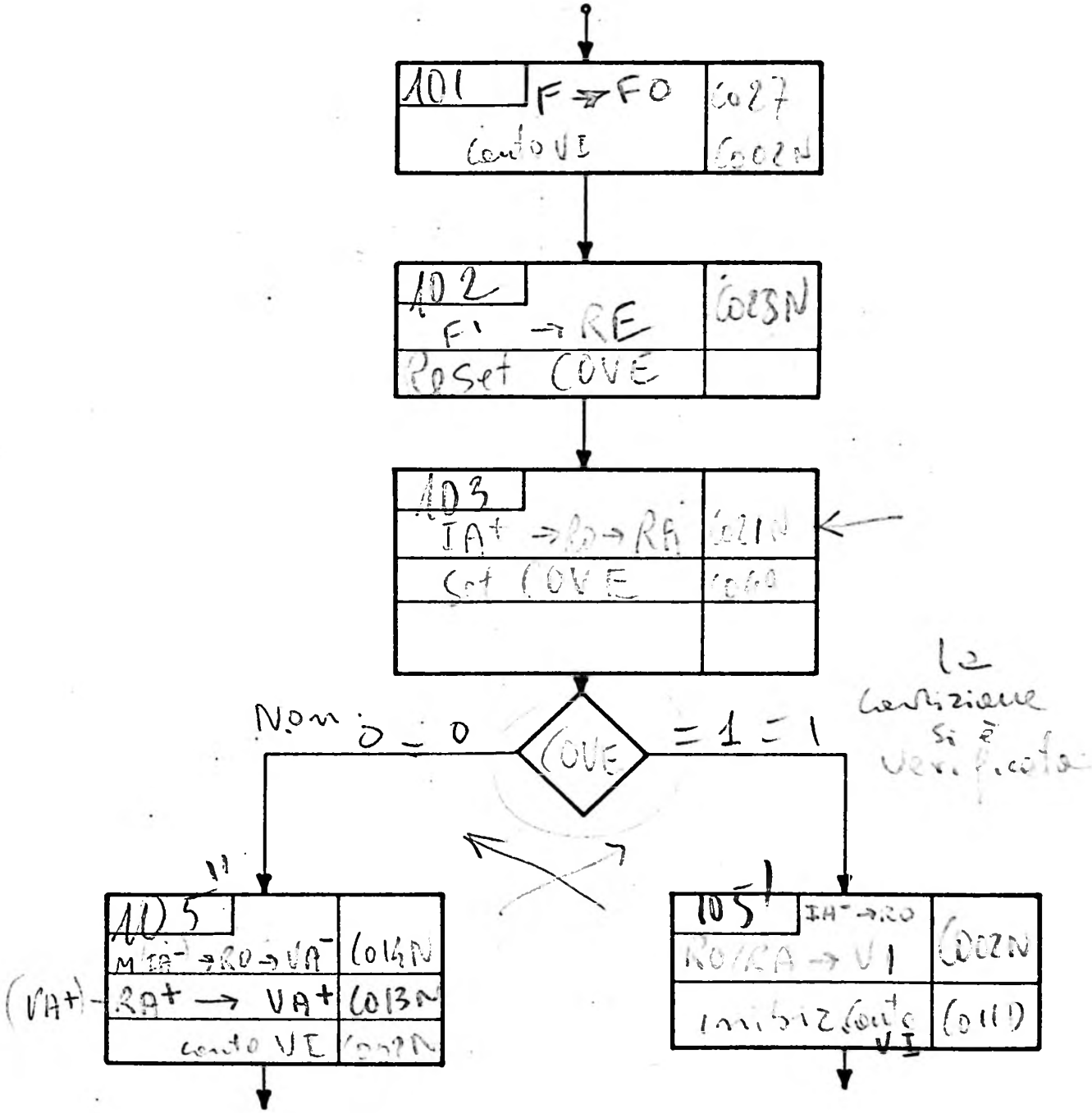


Fig. 16.3.1

JC

Fase Alfa e Fase Beta

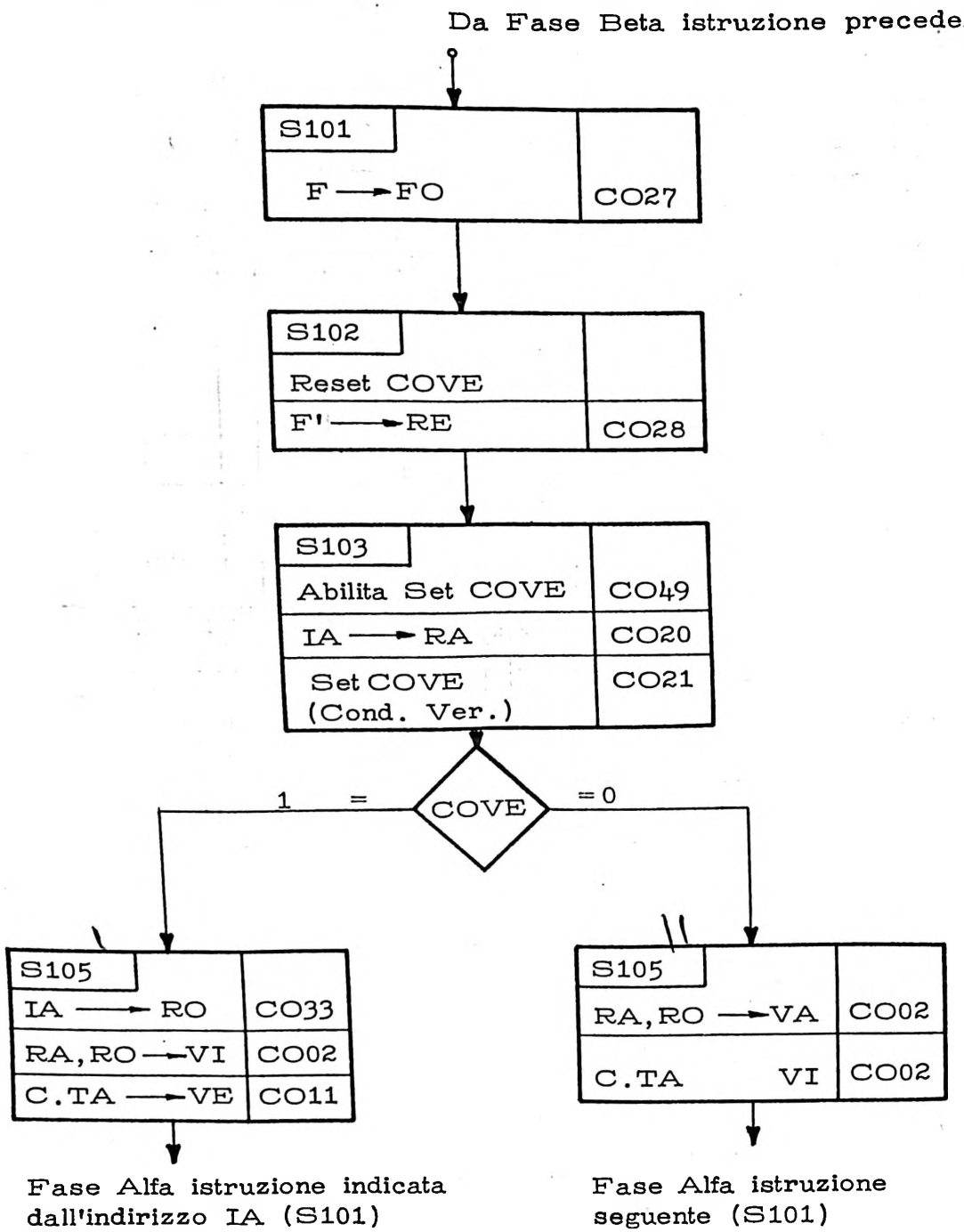


Fig. 16.3.2

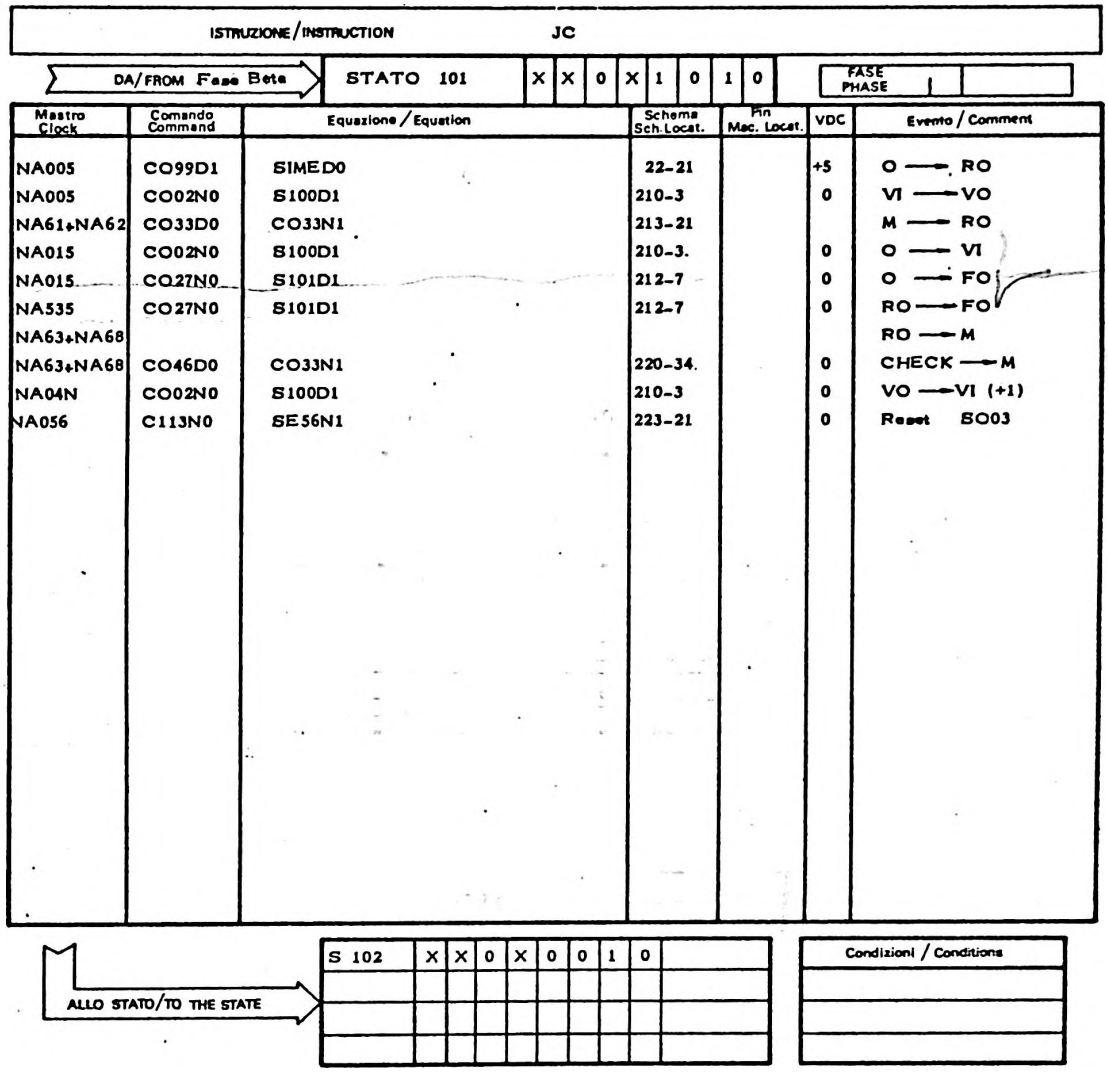

ISTRUZIONE / INSTRUCTION JC
DA/FROM Fase Beta
STATO 101 X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock | Comando Command | Equazione / Equation | Schema Sch. Locat. | Pin Mec. Locat. | VDC | Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 M → RO
NA015 CO02N0 S100D1 210-3. 0 O → VI
NA015 CO27N0 S101D1 212-7 0 O → FO
NA535 CO27N0 S101D1 212-7 0 RO → FO
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34. 0 CHECK → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset SO03
F → FO
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0
Condizioni / Conditions

Fig. 16.3.3

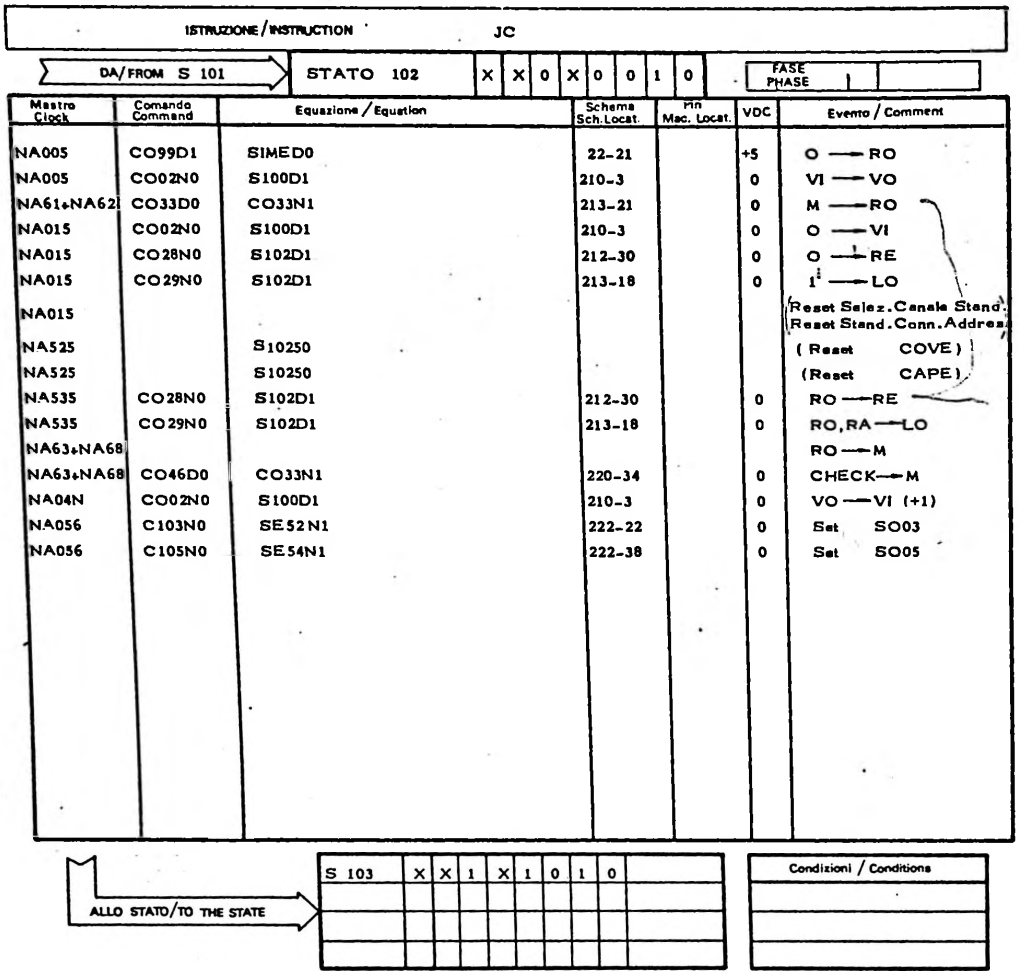

ISTRUZIONE / INSTRUCTION JC
DA/FROM S 101
STATO 102 X X 0 X 0 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch.Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O — RO
NA005 CO02N0 S100D1 210-3 0 VI — VO
NA61÷NA62 CO33D0 CO33N1 213-21 0 M — RO
NA015 CO02N0 S100D1 210-3 0 O — VI
NA015 CO28N0 S102D1 212-30 0 O — RE
NA015 CO29N0 S102D1 213-18 0 1 — LO
NA015 Reset Selez.Canale Stand.
Reset Stand.Conn.Address
NA525 S10250 (Reset COVE)
NA525 S10250 (Reset CAPE)
NA535 CO28N0 S102D1 212-30 0 RO — RE
NA535 CO29N0 S102D1 213-18 0 RO,RA — LO
NA63÷NA68 RO — M
NA63÷NA68 CO46D0 CO33N1 220-34 0 CHECK — M
NA04N CO02N0 S100D1 210-3 0 VO — VI (+1)
NA056 C103N0 SE52N1 222-22 0 Set SO03
NA056 C105N0 SE54N1 222-38 0 Set SO05
ALLO STATO/TO THE STATE
S 103 X X 1 X 1 0 1 0
Condizioni / Conditions

Fig. 16.3.4

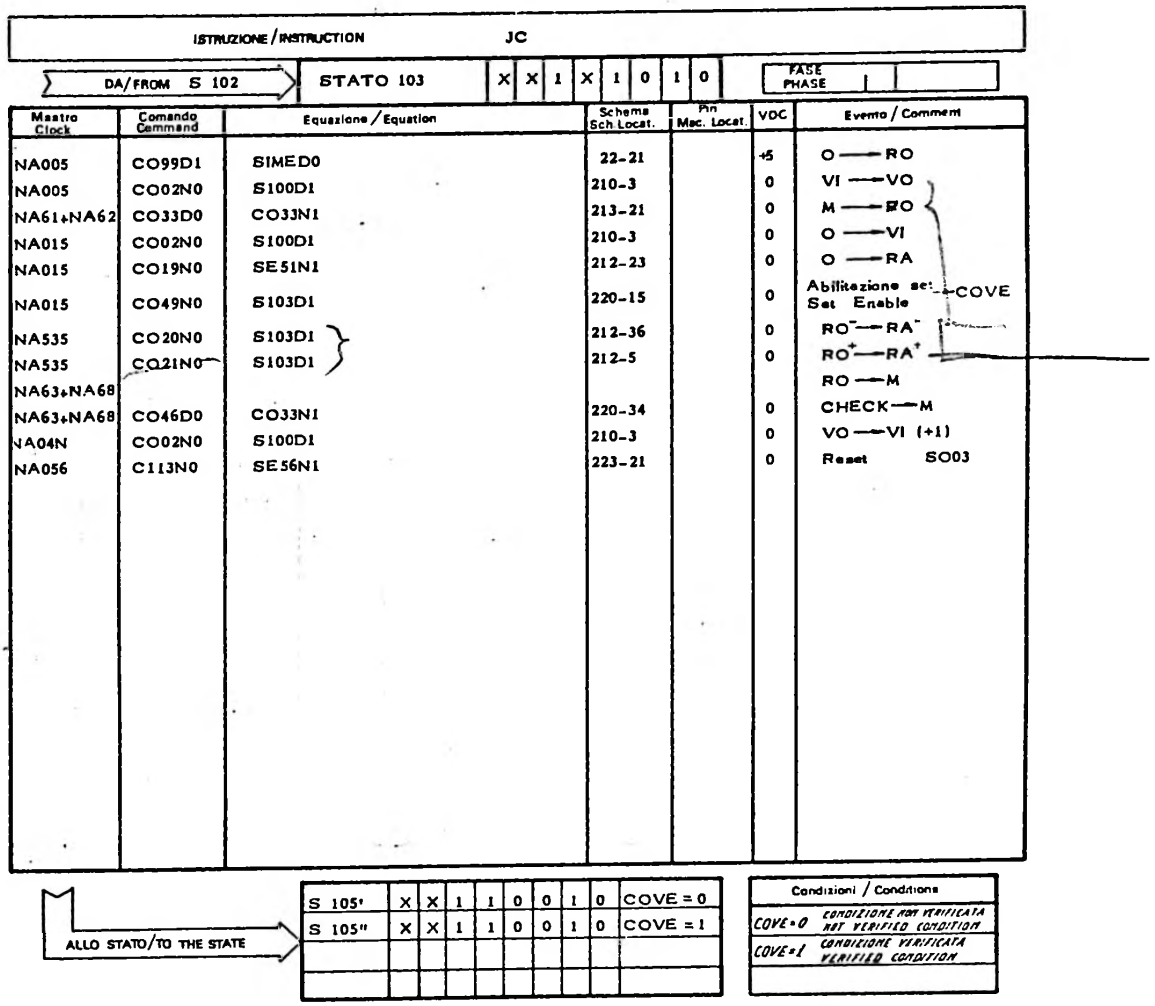

ISTRUZIONE / INSTRUCTION JC
DA/FROM S 102
STATO 103 X X 1 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch Locat.
Pin Mac. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O —— RO
NA005 CO02N0 S100D1 210-3 0 VI —— VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M —— RO
NA015 CO02N0 S100D1 210-3 0 O —— VI
NA015 CO19N0 SE51N1 212-23 0 O —— RA
NA015 CO49N0 S103D1 220-15 0 Abilitazione set Set Enable —— COVE
NA535 CO20N0 S103D1 212-36 0 RO⁻ —— RA⁻
NA535 CO21N0 S103D1 212-5 0 RO⁺ —— RA⁺
NA63+NA68 RO —— M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK —— M
NA04N CO02N0 S100D1 210-3 0 VO —— VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset SO03
ALLO STATO/TO THE STATE
S 105' X X 1 1 0 0 1 0 COVE = 0
S 105" X X 1 1 0 0 1 0 COVE = 1
Condizioni / Conditions
COVE=0 CONDIZIONE NON VERIFICATA NOT VERIFIED CONDITION
COVE=1 CONDIZIONE VERIFICATA VERIFIED CONDITION

Fig. 16.3.5

Condiz Non Verificata

S. 105

ISTRUZIONE / INSTRUCTION JC

DA/FROM S 103 | STATO 105 | X | X | 1 | 1 | 0 | 0 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O → RO
NA005	CO02N0	S100D1	210-3		0	VI → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO02N0	S100D1	210-3		0	O → VI
NA015	CO04N0	S105D1	210-19		0	O → VA+
NA015	CO05N0	S105D1	210-24		0	O → VA-
NA535	CO13N0	FE12D1 VA+	211-2		0	RA → VA+
NA535	CO14N0	FE12D1 VA-	211-8		0	RO → VA-
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK → M
NA04N	CO02N0	S100D1, COVED0	210-3		0	Conta Counting → VI
NA04N	CO37N0	FE18D1	213-16		0	STOP L.d.R.
NA056	C103N0	FA07D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	1	1	0	1	0	ISTRUZIONE SEGUENTE FOLLOWING INSTRUCTION

Condizioni / Conditions
Stop L.d.R. ARCON = 0
Non Stop L.d.R. ARCON=1

Fig. 16.3.6

Codice verificato

S 105

ISTRUZIONE / INSTRUCTION	JC

DA/FROM S 103 | STATO 105" | X | X | 1 | 1 | 0 | 0 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O —— RO
NA005	CO02N0	S100D1	210-3		0	VI —— VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M —— RO
NA015	CO02N0	S100D1	210-3		0	O —— VI
NA015	CO04N0	S105D1	210-19		0	O —— VA^+
NA015	CO05N0	S105D1	210-24		0	O —— VA^-
NA015	CO03N0	FA13D1	210-13		0	O —— VE
NA535	CO16N0	FA13D1	212-3		0	255 —— VA
NA535	CO02N0	S100D1 , CO11N0	210-3		0	RO,RA —— VI
NA63+NA68						RO —— M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK —— M
NA04N	CO07N0	FA13D1 , COVEN0	210-30		0	Conta Counting —— VE
NA04N	CO11D1	CO11N0	210-28		0	Inibizione Conta Counting Inhibit —— VI
NA04N	CO37N0	FE17D1	213-16		0	STOP L.d.R.
NA056	C103N0	FA07D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	1	1	0	1	0	ISTRUZIONE DI SALTO/JUMP INSTR.

Condizioni / Conditions
STOP L.d.R. ARCON=0
Non Stop L.d.R. ARCON=1

Fig. 16.3.7

RISPOSTE

a) - Se il flip-flop RIPO=1 e se il flip-flip DIVE=0.

b) - La condizione di F'=15/0.

c) - Che il salto si è verificato.

d) - Nello S103; perchè c'è corrispondenza tra le condizioni di macchina e F'.

e) - L'indirizzo espresso nell'istruzione di salto.

f) - L'indirizzo del carattere di funzione dell'istruzione seguente il salto.

16.4. JS - SALTO SU CONDIZIONI ESTERNE E SU ERRORE

Per la JS i codici di complemento sono i seguenti :

F' in codice binario								CODICE esadecim.		CONDIZIONI ESAM.
07	06	05	04	03	02	01	00			
1	0	0	0	0	0	0	0	8	0	Pulsante SW1
0	1	0	0	0	0	0	0	4	0	Pulsante SW2
0	0	1	0	0	0	0	0	2	0	ERRORE INTERNO

Compilare il diagramma di flusso della Fig. 16.4.1 e rispondere alle seguenti :

DOMANDE

a) - A cosa si riferiscono SW1 e SW2 ?

.....

.....

b) - Come é utilizzabile questo tipo di salto ?

.....

.....

c) - Per ottenere il salto con il pulsante SW1 che codice F' bisogna mettere ?

.....

.....

JS

Fase Alfa e Fase Beta

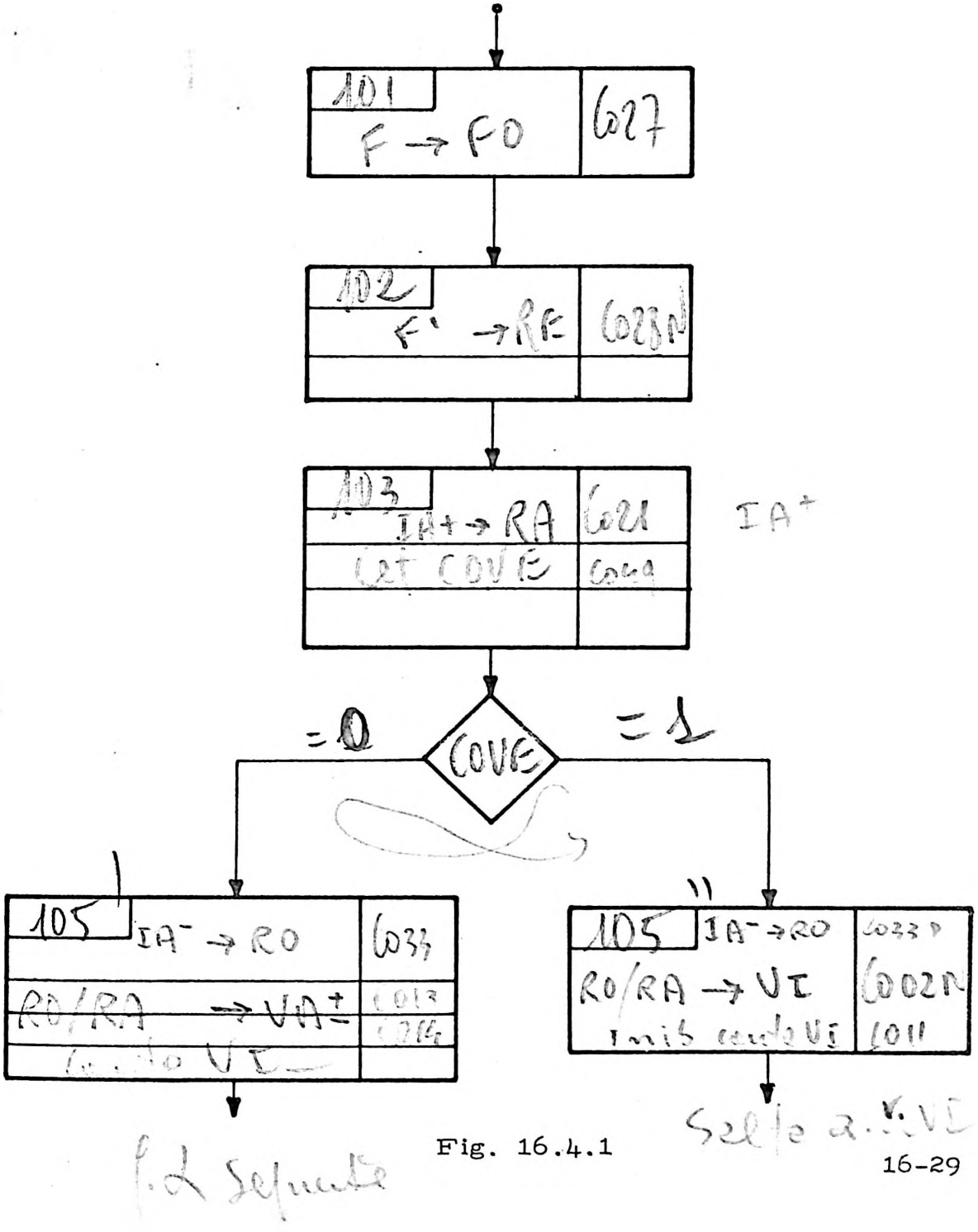
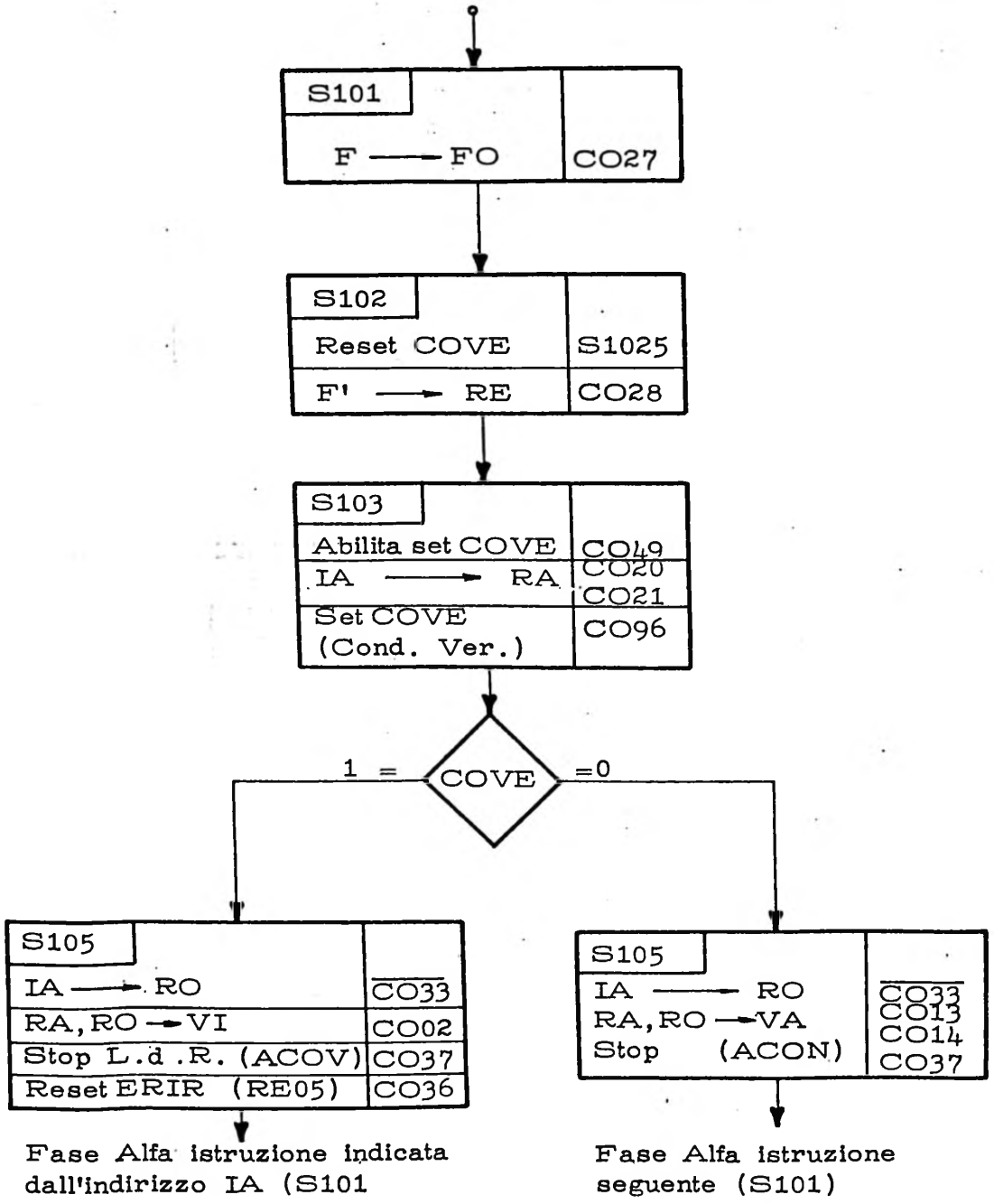


Fig. 16.4.1

JS

Fase Alfa e Fase Beta

Da Fase Beta istruzione precedente



Fase Alfa istruzione indicata dall'indirizzo IA (S101

Fase Alfa istruzione seguente (S101)

Fig.16.4.2

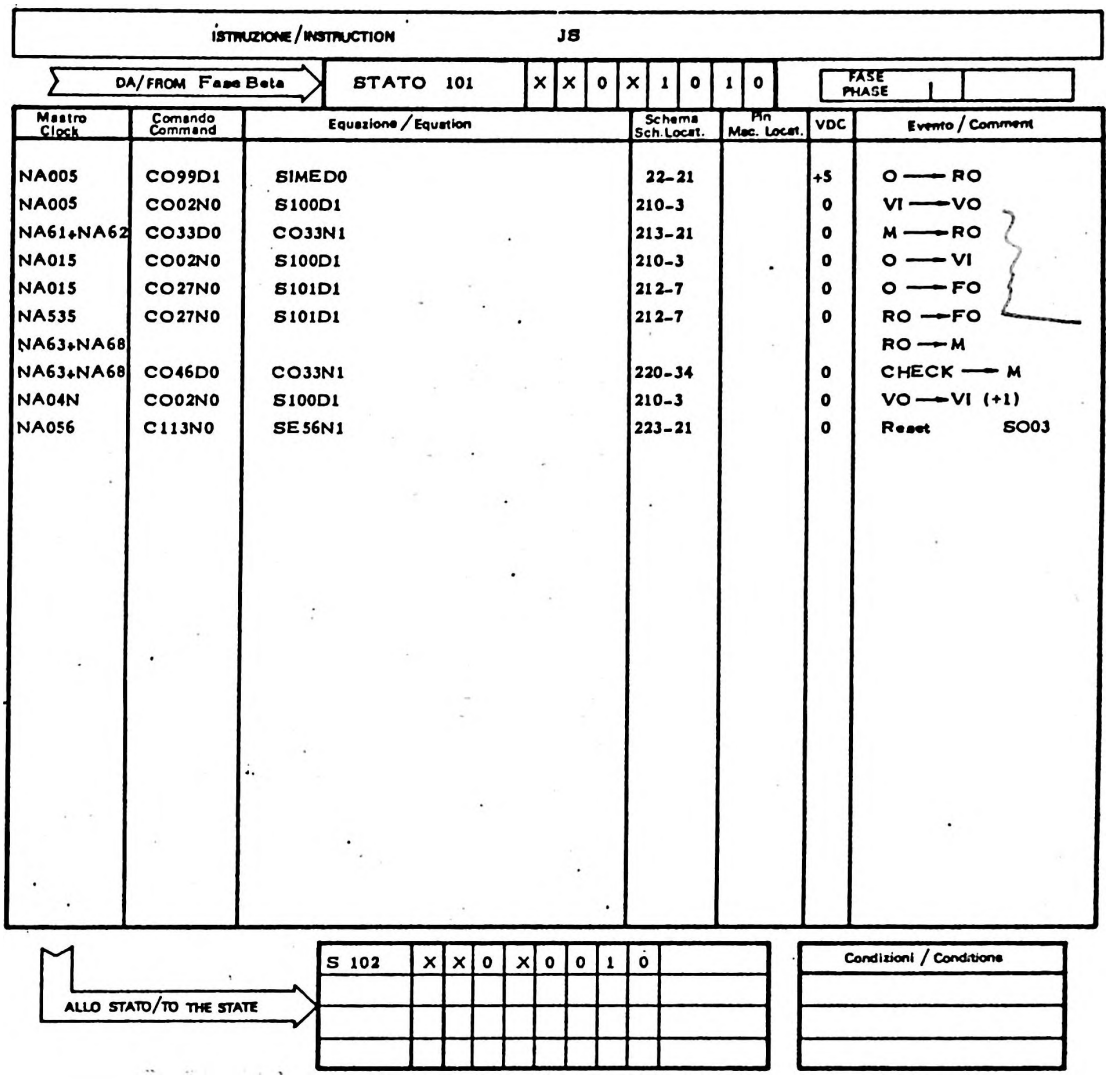

ISTRUZIONE / INSTRUCTION JS
DA/FROM Fase Beta
STATO 101 X X 0 X 1 0 1 0
FASE PHASE
Mastro Clock
Comando Command
Equazione / Equation
Schema Sch.Locat.
Pin Mec. Locat.
VDC
Evento / Comment
NA005 CO99D1 SIMED0 22-21 +5 O → RO
NA005 CO02N0 S100D1 210-3 0 VI → VO
NA61+NA62 CO33D0 CO33N1 213-21 0 M → RO
NA015 CO02N0 S100D1 210-3 0 O → VI
NA015 CO27N0 S101D1 212-7 0 O → FO
NA535 CO27N0 S101D1 212-7 0 RO → FO
NA63+NA68 RO → M
NA63+NA68 CO46D0 CO33N1 220-34 0 CHECK → M
NA04N CO02N0 S100D1 210-3 0 VO → VI (+1)
NA056 C113N0 SE56N1 223-21 0 Reset S003
ALLO STATO/TO THE STATE
S 102 X X 0 X 0 0 1 0
Condizioni / Conditions

Fig. 16.4.3

ISTRUZIONE / INSTRUCTION JS

DA/FROM S 101 → STATO 102 | X | X | 0 | X | 0 | 0 | 1 | 0 | FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	S IMED0	22-21		+5	O → RO
NA005	CO02N0	S100D1	210-3		0	VI → VO
NA61+NA62	CO33D0	CO33N1	213-21		0	M → RO
NA015	CO02N0	S100D1	210-3		0	O → VI
NA015	CO28N0	S102D1	212-30		0	O → RE
NA015	CO29N0	S102D1	213-18		0	1^i → LO
NA015						Reset Selez.Can.Stand. Reset Stand.Conn.Address
NA525		S10250				(Reset COVE)
NA525		S10250				(Reset CAPE)
NA535	CO28N0	S102D1	212-30		0	RO → RE
NA535	CO29N0	S102D1	213-18		0	RO,RA → LO
NA63+NA68						RO → M
NA63+NA68	CO46D0	CO33N1	220-34		0	CHECK → M
NA04N	CO02N0	S100D1	210-3		0	VO → VI (+1)
NA056	C103N0	SE52N1	222-22		0	Set SO03
NA056	C105N0	SE54N1	222-38		0	Set SO05

ALLO STATO/TO THE STATE

S 103	X	X	1	X	.1	0	1	0	

Condizioni / Conditions

Fig. 16.4.4.

ISTRUZIONE / INSTRUCTION	JS

DA/FROM S 102 | STATO 103 | X | X | 1 | X | 1 | 0 | 1 | 0 | FASE PHASE

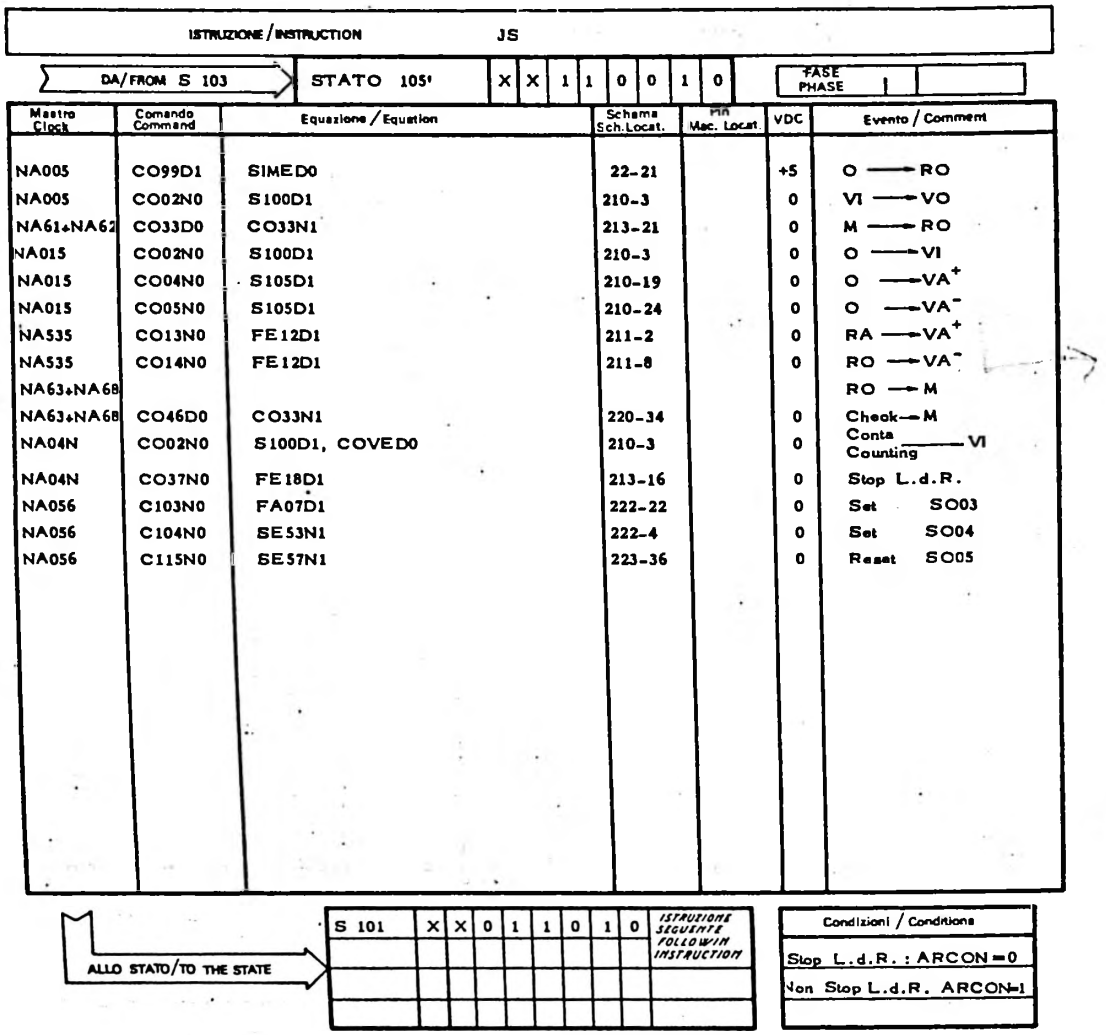
Mastro Clock	Comando Command	Equazione / Equation	Schema Sch. Locat.	Pin Mac. Locat	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO19N0	SE51N1	212-23		0	O ⟶ RA
NA015	CO49N0	S103D1	220-15		0	Abilitazione set Set Enable ⟶ COVE
NA535	CO20N0	S103D1	212-36		0	$RO^- \longrightarrow RA^-$
NA535	CO21N0	S103D1	212-5		0	$RO^+ \longrightarrow RA^+$
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO02N0	S100D1	210-3		0	VO ⟶ VI (+1)
NA056	C113N0	SE56N1	223-21		0	Reset SO03

ALLO STATO/TO THE STATE

S 105'	X	X	1	1	0	0	1	0	COVE = 0
S 105''	X	X	1	1	0	0	1	0	COVE = 1

Condizioni / Conditions
COVE=0 CONDIZIONE NON VERIFICATA NOT VERIFIED CONDITION
COVE=1 CONDIZIONE VERIFICATA VERIFIED CONDITION

Fig. 16.4.5



ISTRUZIONE / INSTRUCTION JS

DA/FROM S 103 — STATO 105' — X X 1 1 0 0 1 0 — FASE PHASE

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch.Locat.	Mac. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO04N0	S105D1	210-19		0	O ⟶ VA^+
NA015	CO05N0	S105D1	210-24		0	O ⟶ VA^-
NA535	CO13N0	FE12D1	211-2		0	RA ⟶ VA^+
NA535	CO14N0	FE12D1	211-8		0	RO ⟶ VA^-
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	Check ⟶ M
NA04N	CO02N0	S100D1, COVED0	210-3		0	Conta / Counting ⟶ VI
NA04N	CO37N0	FE18D1	213-16		0	Stop L.d.R.
NA056	C103N0	FA07D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	1	1	0	1	0	ISTRUZIONE SEGUENTE / FOLLOWIN INSTRUCTION

Condizioni / Conditions
Stop L.d.R. : ARCON=0
Non Stop L.d.R. ARCON=1

Fig. 16.4.6

ISTRUZIONE / INSTRUCTION	JS

DA/FROM S 103	STATO 105"	X	X	1	1	0	0	1	0	FASE PHASE	

Mastro Clock	Comando Command	Equazione / Equation	Schema Sch Locat.	Pin Mec. Locat.	VDC	Evento / Comment
NA005	CO99D1	SIMED0	22-21		+5	O ⟶ RO
NA005	CO02N0	S100D1	210-3		0	VI ⟶ VO
NA61÷NA62	CO33D0	CO33N1	213-21		0	M ⟶ RO
NA015	CO02N0	S100D1	210-3		0	O ⟶ VI
NA015	CO04N0	S105D1	210-19		0	O ⟶ VA^+
NA015	CO05N0	S105D1	210-24		0	O ⟶ VA^-
NA015	CO03N0	FA13D1	210-13		0	O ⟶ VE
NA535	CO16N0	FA13D1	212-3		0	255 ⟶ VA
NA535	CO02N0	S100D1 , CO11N0	210-3		0	RO,RA ⟶ VI
NA63÷NA68						RO ⟶ M
NA63÷NA68	CO46D0	CO33N1	220-34		0	CHECK ⟶ M
NA04N	CO07N0	FA13D1 , COVEN	210-30		0	Conta Counting ⟶ VE
NA04N	CO11D1	CO11N0	210-28		0	Inibizione conta Counting Inhibit ⟶ VI
NA04N	CO37N0	FE17D1	213-16		0	STOP L.d.R.
NA056	C103N0	FA07D1	222-22		0	Set SO03
NA056	C104N0	SE53N1	222-4		0	Set SO04
NA056	C115N0	SE57N1	223-36		0	Reset SO05

ALLO STATO/TO THE STATE

S 101	X	X	0	1	1	0	1	0	ISTRUZIONE DEL SALTO GO TO THE JUMP ADDRES

Condizioni / Conditions
Stop L.d.R. ÷ ARCON = 0
Non Stop L.d.R. ARCON = 1

Fig. 16.4.7

RISPOSTE

a) - Alle chiavi poste in console.

b) - E' utilizzabile per far percorrere al programma una via piuttosto che un'altra al solo cambiamento di posizione di chiavi manuali di console (SW1 e SW2).

c) - 8/0.

RIEPILOGO

Tempo di studio
2 ore

1. L'ORGANO CHE DETERMINA LA CONFIGURAZIONE DEGLI STATI E' :

- il registro FO. (32)
- il registro LO. (98)
- il registro SO. (3)

2. NEL TEMPO, LE VARIE FASI SONO ULTERIORMENTE FRAZIONATE. OGNI FRAZIONE RAPPRESENTA :

- uno STATO. (31)
- più ciclate della L.d.R. (120)

3. IN UNO STATO SI GENERANO :

- più eventi elementari (comandi). (62)
- un solo evento elementare. (30)

4. GLI STATI DELLA FASE ALFA DI UNA ISTRUZIONEDI TIPO A1 HANNO COME EVENTI PRINCIPALI :

- S101 F→FO S102 L→LO S103 IA^{+}→RA S104 IA^{-}→RO S103 IE^{-}→RA S105 IE^{+}→RO. (73)

- S101 F→FO S102 L→LO S103 IE^{+}→RA S104 IE^{-}→RO S103 IA^{+}→RA S105 IA^{-}→RO. (29)

5. L'ISTRUZIONE JRT E' UN'ISTRUZIONE DI SALTO INCONDIZIONATO CHE :

- memorizza nelle posizioni 254 e 255 di memoria il carattere di funzione dell'istruzione che la segue. (43)
- memorizza nelle posizioni 254 e 255 di memoria l'indirizzo del carattere di funzione dell'istruzione che la segue. (28)

6. AL TERMINE DELLA FASE BETA DI UNA ISTRUZIONE DI RICERCA SI FA' SEMPRE :

- la fase alfa. (52)
- la fase di scaricamento VE. (27)
- un'altra fase beta. (77)

7. SE IN UNA OPERAZIONE ARITMETICA SI METTESSERO SEGNI DAVANTI AGLI OPERANDI L'ELABORATORE :

- non li considera automaticamente perché ha un dispositivo particolare per riconoscerli. (146)
- l'interpreta come dati e li elabora originando un risultato sbagliato. (26)

8. CONTINUARE LO SVOLGIMENTO DEL PROGRAMMA DEL CORSO INIZIANDO LO STUDIO DEL VOLUME "UNITA' CENTRALE VOL. 3".

9. VEDASI VOLUME " U.C. Vol. 1°".

10. IN UNA OPERAZIONE ARITMETICA DI SOTTRAZIONE SI OTTIENE RISULTATO ZERO SE :

- i dati sono uguali tra loro. (61)
- i dati sono diversi tra loro. (23)

11. NEL CASO CHE UN'ISTRUZIONE DI SALTO NON TROVI, DURANTE LA SUA ESECUZIONE, LA CONDIZIONE PER LA QUALE DEVE SALTARE SI OTTIENE :

- il proseguimento del programma mediante la lettura dell'istruzione seguente a quella del salto. (93)
- il proseguimento del programma mediante la lettura dell'istruzione che si trova nella posizione di memoria espressa dall'indirizzo del salto. (22)

12. ANDARE ALLA DOMANDA 115.

13. VEDASI LEZIONE N. 19.

14. IL CODICE DI LUNGHEZZA DELLE ISTRUZIONI ESPRIME SEMPRE LA LUNGHEZZA DELL'OPERANDO ?

- Si. (19)
- No. (70)

15. NON ESISTE NESSUN DISPOSITIVO CHE RICOMPLEMENTI IL RISULTATO IN COMPLEMENTO. E' INVECE INDISPENSABILE AGIRE OPPORTUNAMENTE DA PROGRAMMA SE LA RICOMPLEMETANZIONE E' NECESSARIA.
TORNARE ALLA DOMANDA 26.

16. OGNI VOLTA CHE SI ESTRAE UN CARATTERE DA MEMORIA E' NECESSARIO ALLUNGARE LA L.d.R. DI 2 /usec ?

- Si. (17)
- No. (100)

1,5 µs

17. ALLORA A CHE SERVIREBBE AVER CREATO L'ANSA ARITMETICA? SAREBBE BASTATO PROLUNGARE SEMPRE IL TEMPO DI CICLAGGIO DELLA L:d.R. RITORNARE ALLA 100.

18. NO, PERCHE' NON TUTTE LE ISTRUZIONI INTERESSANO DIVE E RIPO DURANTE LA LORO ELABORAZIONE. TORNARE ALLA DOMANDA 39.

19. VEDASI VOLUME "U.C. VOL. 1°"

20. PUO' UN'ISTRUZIONE DI RICERCA ESSERE IMPOSTATA IN MANIERA DA TERMINARE SEMPRE E SOLO QUANDO L = 1^i ?

- Si. (45)
- No. (92)

21. IL F.F. DISA RACCOGLIE I RISULTATI DELL' U.A. ?

- Si. (44)
- No. (37)

22. VEDASI LEZIONE N° 16

23. VEDASI UN LIBRO DI ARITMETICA ELEMENTARE.

24. SE IN OGNI STATO DI FASE ALFA SI ELABORA UN SOLO CARATTERE E' POSSIBILE CHE IN TUTTE LE FASI ALFA DELLE ISTRUZIONI INTERNE SI PERCORRA LO STESSO NUMERO DI STATI ?

- Si. (41)
- No. (124)

25. ESISTONO ISTRUZIONI COMPOSTE DA UN SOLO CARATTERE ?

- Si. (40)
- No. (57)

26. IN UNA SD SE IL RISULTATO E' ACCOMPAGNATO DA DIVE = 1 E RIPO = 0 SI DOVRA' PROCEDERE :

- alla ricompletazione da programma poiché il risultato é in complemento. (39)
- alla ricomplementazione automatica. (15)

27. LA FASE DI SCARICAMENTO VE PROVVEDE:

- a immagazzinare nelle posizioni 254 e 255 di memoria l'indirizzo seguente all'ultimo interessato dall'elaborazione. (38)
- a immagazzinare nelle posizioni 254 e 255 di memoria l'indirizzo seguente all'ultimo interessato dall'elaborazione solo se si termina per L 1^{i}. (84)

28. SE UN CODICE HA I CARATTERI "NON PESATI" (9<3, A>B ecc.) LA SEGNALAZIONE OTTENIBILE DA UN CONFRONTO E' :

- utilizzabile con certezza. (86)
- solo indicativa. (37)

29. NELLE ISTRUZIONI MVI E CMI IL CARATTERE SUCCESSIVO AL CARATTERE F S'INTERPRETA COME :

- una lunghezza. (88)
- la lunghezza del campo E. (48)
- una costante. (36)

30. UN EVENTO ELEMENTARE CHE SI IDENTIFICA CON UN COMANDO PUO' FAR PREDISPORRE L'ELABORATORE IN TUTTI I SUOI ORGANI?

- Si. (35)
- No. (3)

31. UNO STATO E' RAPPRESENTATO DALLA CONFIGURAZIONE CHE PUO' ASSUMERE :

- il registro RE. (34)
- il registro RA. (63)
- un organo particolare addetto alla creazione degli STATI. (1)

32. IL REGISTRO FO CONTIENE IL CARATTERE F DI UNA ISTRUZIONE CHE E' :

- il carattere di funzione. (122)
- il carattere di lunghezza. (64)
- il carattere che esprime l'indirizzo del campo E. (33)

33. L'INDIRIZZO DI UN CAMPO ESPRIME :

- la quantità di caratteri da elaborare. (66)
- la posizione iniziale di memoria di un dato. (121)
- la posizione finale di memoria di un dato. (65)

34. VEDASI VOLUME "U.C. VOL.. 1°"

35. VEDASI LEZIONE N° 3.

36. NELLO S106 PER LE ISTRUZIONI DI TIPO A1, IL RESET S004 E' CONDIZIONATO A LA=ZERI PER :

- terminare l'analisi del campo E perché LA é minore di LE. (102)
- terminare l'analisi del campo A perché LE é minore di LA. (137)
- terminare l'analisi del campo A e aggiungere degli zeri da sommare ai caratteri del campo E. (61)

37. GLI ORGANI CHE SONO UTILIZZATI PER INDICARE IL RISULTATO DI UN CONFRONTO SONO :

- DISA e RIPO. (21)
- DIVE e DISA. (53)
- DIVE e RIPO. (60)

38. LE ISTRUZIONI HLT - NOP2 - INS - ENS - LON - LOFF SI CONSIDERANO :

- istruzioni senza fase alfa. (129)
- istruzioni normali con fase alfa e fase beta. (145)
- istruzioni senza fase beta. (59)

39. L'UTILIZZAZIONE DELLE SEGNALAZIONI DI DIVE E RIPO SI HA CON ISTRUZIONI :

- di salto. (58)
- qualsiasi. (18)

40. VEDERE VOLUME "U.C. VOL.1°".

41. VDASI LEZIONE N° 3.

42. UNA POSIZIONE DI MEMORIA PUO' CONTENERE :

- 1 carattere. (74)
- più caratteri. (55)

43. LO SCARICAMENTO VE PROCEDE A :

- memorizzare un indirizzo. (5)
- memorizzare un carattere di programma. (132)

44. VEDASI VOLUME " U.C. VOL. 1°".

45. VEDASI LEZIONE N. 12.

46. IL SECONDO CARATTERE DELL'ISTRUZIONE PUO' ESPRIMERE UNA COSTANTE ?

- SI. (78)
- No. (51)

47. IL COASN E' UN SEGNALE DI CONSOLE CHE E' GENERATO QUANDO :

- si preme il pulsante relativo. (58)
- si opera in modo particolare da U.C. (50)

48. IL CARATTERE DI LUNGHEZZA DI UNA ISTRUZIONE ESPRIME SEMPRE LA LUNGHEZZA DEL CAMPO E ?

- SI. (49)
- No. (80)

49. VEDASI VOLUME "U.C. VOL. 1°".

50. VEDASI VOLUME "U.C. VOL.1°".

51. VEDASI VOLUME "U.C. VOL. 1°".

52. LA ISTRUZIONE DI RICERCA FA SEMPRE LO SCARICAMENTO VE.
RITORNARE ALLA DOMANDA 6.

53. VEDASI DOMANDA N. 21

54. QUANTE POSIZIONI OCCORRONO PER MEMORIZZARE UN CARATTERE IN MEMORIA ?

- due. (75)
- uno. (43)

55. VEDASI VOLUME "MEMORIA 16 K".

56. VEDASI LEZIONE N° 4.

57. IL NUMERO MINIMO DI CARATTERI DI UNA ISTRUZIONE E' ;

- 2. (99)
- 3. (72)

58. LE SEGNALAZIONI DIVE E RIPO CONFRONTATE CON LA CONDIZIONE ESPRESSA NEI SALTI (F') DANNO ORIGINE :

- al segnale COES. (47)
- al segnale COVE se esiste eguaglianza. (71).

59. L'UTILIZZAZIONE DEI PULSANTI SW1 E SW2 SI PUO' AVERE :

- con una istruzione JC. (152)
- con una istruzione JS. (70)
- con una istruzione JRT. (153)

60. SE AL TERMINE DI UN CONFRONTO SI OTTIENE DIVE = 1 E RIPO = 0 CIO' INDICA :

- E > A. (76)
- E = A. (85)
- E < A. (69)

61. NELLA FASE ALFA DELLA ISTRUZIONE DI CONFRONTO IL F.F. RIPO VIENE POSTO IN SET PERCHE' :

- il confronto si esegue come differenza tra i due dati. (68)
- il confronto si esegue come somma tra i due dati. (149)

62. I COMANDI CHE POSSONO ESSERE GENERATI I UNO STATO SONO :

- sempre incondizionati. (67)
- sempre condizionati. (94)
- alcuni condizionati a altre configurazioni di macchina e altri incondizionati. (99)

63. VEDASI VOLUME " U.C. VOL. 1°"

64. IL CARATTERE DI LUNGHEZZA DI UNA ISTRUZIONE ESPRIME :

- il tipo di lavoro che deve eseguire una istruzione. (95).
- il numero dei caratteri di un dato che si devono elaborare. (98)
- l'indirizzo del campo A. (96)

65. LA POSIZIONE FINALE DI UN DATO E' ESPRESSA IN UNA ISTRUZIONE ?

- Si. (96)
- No. (97)

66. VEDASI VOLUME "U.C. VOL.1°".

67. VEDASI LEZIONE N°1.

68. L'ISTRUZIONE PK HA LO SCOPO DI :

- impaccare due caratteri in una posizione di memoria. (42)
- impaccare le parti meno significative di due caratteri in una posizione di memoria. (93)

69. IN UNA ISTRUZIONE DI DISMPACCAMENTO SI HA :

- che le due parti che compongono un carattere posto in campo E si sdoppiano e formano le parti meno significative dei caratteri posti in campo A. (105)
- che le due parti che compongono i caratteri posti in campo A si sdoppiano e formano le parti meno significative dei caratteri posti in campo E. (92)

70. NEI SALTI IL CARATTERE F' RAPPRESENTA :

- la lunghezza (14)
- la condizione da verificare. (91)
- una costante. (46)

71. IN UNA ISTRUZIONE DI CONFRONTO PERCHE' CI SIA EGUAGLIANZA SI DOVRA' AVERE :

- RIPO = 1 DIVE = 1. (79)
- DIVE = 0 RIPO = 0. (108)
- DIVE = 0 RIPO = 1 (90)

72. VEDASI VOLUME " U.C. VOL. 1°".

73. VEDASI LEZIONE N° 3.

74. UN CARATTERE DELL'ELABORATORE 115 SI DIVIDE IN DUE PARTI CHE SI CHIAMANO :

- parte più significativa (bit 07-06-05-04) e parte meno significativa (bit 03-02-01-00) (68)
- parte più significativa (bit 03-02-01-00) e parte meno significativa (bit 07-06-05-04) (87)

75. VEDASI VOLUME "U.C. VOL. 1°".

76. VEDASI LEZIONE N° 6.

77. VEDASI DOMANDA N. 52.

78. LA COSTANTE ESPRESSA IN UNA ISTRUZIONE TIPO MVI O CMI PUO' CONSIDERARSI UN DATO ?

- SI. (107)
- No. (83)

79. IL F.F. DIVE, COLLEGATO ALL'U.A., VA IN SET :

- se all'uscita dell'U.A. si ha un carattere significativo. (71)
- se all'uscita dell'U.A. si ha un carattere non significativo. (82)

80. IL SECONDO CARATTERE DI UNA ISTRUZIONE PUO' ESPRIMERE UNA COSTANTE ?

- Si. (29)
- No. (87)

81. VEDASI VOLUME "U.C. VOL. 1°"

82. VEDASI VOLUME "U.C. VOL. 1°"

83. VEDASI VOLUME "U.C. VOL. 1°".

84. L'ISTRUZIONE DI RICERCA TERMINA SEMPRE CON LO SCARICAMENTO VE ?

- Si. (106)
- No. (113)

85. VEDASI LEZIONE N.6.

86. UN CONFRONTO CHE DIA COME RISULTATO CHE 9 E' MINORE DI 3 HA SIGNIFICATO LOGICO ?

- Si. (115)
- No. (104)

87. VEDASI VOLUME "U.C. VOL. 1°".

88. L'ISTRUZIONE MVI E' UN ISTRUZIONE CHE TRASFERISCE UNA COSTANTE ALL'INDIRIZZO ESPRESSO NELL'ISTRUZIONE STESSA ? DOVE E' POSTA LA COSTANTE ?

- al posto della lunghezza. (29)
- in un'altra posizione. (102)

89. IL MASSIMO NUMERO DI CARATTERI CHE COMPONGONO UNA ISTRUZIONE E' DATO DA:

- F L IE^+ IE^- IA^+ IA^-, quindi ritornare alla domanda 99.

90. OR ESCLUSIVO SI PUO' CONSIDERARE :

- come una somma binaria senza trasmissione dei riporti. (100)
- come una semplice somma binaria. (131)

91. L'ISTRUZIONE TR HA IL COMPITO DI :

- trascodificare i caratteri di un codice in uno già prefissato. (7)
- trascodificare i caratteri di un codice solo in codice di macchina. (130)

92. UNA ISTRUZIONE DI RICERCA PUO' TERMINARE :

- sempre e solo quando si trova il carattere ricercato. (135)
- quando si trova il carattere ricercato o, se non si trova, quando si ha $L = 1^i$. (6)
- sempre solo per $L = 1^i$. (20)

93. AL TERMINE DELLE ISTRUZIONI DI SALTO (PRIMA DI PERCORRERE LO S101 DELLA I STRUZIONE SUCCESSIVA) IL REGISTRO VI :

- contiene l'indirizzo dell'ultimo carattere dell'istruzione se COVE = 1. (103)
- contiene l'indirizzo espresso nel salto se COVE = 1. (5)
- contiene l'indirizzo espresso nell'istruzione. (136)

94. VEDASI LEZIONE N.1.

95. VEDASI VOLUME "U.C. VOL. 1°".

96. VEDASI VOLUME " U.C. VOL. 1°".

97. VEDASI DOMANDA 33.

98. L'ORGANO NEL QUALE SI PONE IL CARATTERE DI LUNGHEZZA E' :

- RA. (95)
- LO. (32)

99. IL NUMERO MASSIMO DI STATI PERCORSI DALLA FASE ALFA DELLE ISTRUZIONI INTERNI E' :

- 6. (119)
- 1. (25)
- 7. (89)

100. SI DEVE AVVIARE IL CICLO DELL'U.A. :

- ogni volta che si estrae un carattere da memoria.(16)
- ogni volta che interessa caricare RO prima che inizi il ciclo di scrittura con un contenuto diverso da quello precedente. (8)

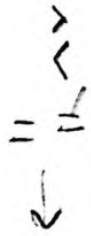
101. L'ISTRUZIONE AD E' COMPOSTA DA 6 CARATTERI ?

- Si. (119)
- No. (118)

102. VEDASI LEZIONE N.6.

103. AL TERMINE DELLA FASE ALFA L'INDIRIZZATORE VI CONTIENE :

- l'indirizzo del carattere di funzione dell'istruzione seguente. (93)
- l'indirizzo del campo E. (116)
- l'indirizzo del campo A. (127)



104. SE IL RISULTATO DI UN CONFRONTO E' 9 > 3 QUALE CONDIZIONE SI PUO' UTILIZZARE CORRETTAMENTE ?

- quella del risultato 9 > 3. (12)
- quella per cui 9 ≠ 3. (28)

105. I RISULTATI DELLE OPERAZIONI INTERNE IN QUALE CAMPO SI PONGONO ?

- in campo E. (69)
- in campo A. (114)

106. L'ISTRUZIONE DI RICERCA TERMINA SOLO PER L 1^i ?

- Si. (113)
- No. (27)

107. LE ISTRUZIONI DI SALTO ESPRIMONO CON F' :

- un dato. (112)
- una condizione particolare da analizzare. (70)

108. IL F.F. RIPO AL TERMINE DI UNA SOTTRAZIONE SE IL RISULTATO NON E' IN COMPLEMENTO DEVE TROVARSI A VALORE LOGICO :

- "1". (71)
- "0". (111)

109. UN SALTO CONDIZIONATO VERIFICA SEMPRE LA SUA CONDIZIONE DI SALTO ?

- SI. (110)
- No. (136)

110. VEDASI VOLUME "U.C. VOL. 1°".

111. NO, IN QUESTO CASO SE RIPO = 0 AL TERMINE DI UNA SOTTRAZIONE IL RISULTATO E' IN COMPLEMENTO. VEDERE VOLUME "U.C. VOL. 1°" E RITORNARE ALLA DOMANDA 71.

112. VEDASI LEZIONE N. 16.

113. VEDASI LEZIONE N. 12.

114. IN UNA ELABORAZIONE COMPRENDENTE DUE CARATTERI IL SECONDO SI RIFERISCE AL CAMPO E ?

- SI. (105)
- No. (128)

115. NON SI PUO' RITENERE COME INDICAZIONE VALIDA CHE UN NUMERO DI VALORE SUPERIORE SIA MINORE DI UN NUMERO AVENTE INFERIORE VALORE.
SI RITORNI ALLA DOMANDA N. 86.

116. VEDASI VOLUME "U.C. VOL. 1°"

117. LA, SI RIFERISCE AL CAMPO A E NE DETERMINA LA SUA LUNGHEZZA. E' POSSIBILE CHE LA FACCIA TERMINARE IL CAMPO E?

- Si. (126)
- No. (36)

118. VEDASI LEZIONE N. 6.

119. GLI STATI PERCORSI IN FASE ALFA DI UNA ISTRUZIONE AD SONO :

- S101 -102 - S103 - S104 - S103 - S105. (124)
- S101 - S105 - S106 - S107 - S101 - S102. (101)
- S106 - S107. (125)

120. IN PIU' CICLATE DELLA L.d.R. SI INTERESSANO PIU' CARATTERI ?

- Si. (140)
- No. (123)

121. VEDASI DOMANDA N. 32.

122. IL REGISTRO DI FUNZIONE FO NELLE ISTRUZIONI INTERNE MANTIENE IL CARATTERE F :

- per tutta la fase alfa e per tutta la fase beta. (2)
- solo per la fase beta. (96)
- solo per la fase alfa. (95)

123. VEDASI VOLUME "U.C. VOL. 1°"

124. IL NUMERO DI STATI CHE DEFINISCE UNA FASE ALFA E' :

- variabile in relazione al tipo d'istruzione. (139)
- sempre lo stesso. (151)

125. LE ISTRUZIONI COMPOSTE DA DUE CARATTERI SONO :

- NOP2 - HLT - LON-LOFF - INS - ENS .(138)
- AD - AB - SD - SB. (150).

126. VEDASI VOLUME "U.C. VOL. 1°".

127. VEDASI VOLUME "U.C. VOL. 1°".

128. VEDASI VOLUME "U.C. VOL. 1°".

129. ESISTONO ISTRUZIONI SENZA FASE ALFA ?

- Si. (134)
- No. (38)

130. L'ELABORATORE 115 DEVE LAVORARE SEMPRE CON IL CODICE DI MACCHINA ?

- Si. (133)
- No.. (91)

131. SE AGISCE COME UNA SOMMA BINARIA ERA INUTILE CREARE DUE ISTRUZIONI CHE ESEGUONO LE STESSE OPERAZIONI. RITORNARE ALLA DOMANDA 90.

132. VEDASI LEZIONE N. 4.

133. NO. QUALSIASI CODICE DI ELABORAZIONE INTERNA A 8 BIT PUO' ESSERE USATO.(130)

134. VEDASI VOLUME "U.C. VOL. 1°".

135. SE IN UNA ISTRUZIONE DI RICERCA CARATTERE IL CARATTERE RICERCATO NON SI TROVA L'ISTRUZIONE TERMINA ?

- Si. (144)
- No. (13)

136. L'ISTRUZIONE DI SALTO CONDIZIONATO HA IL COMPITO DI :

- saltare sempre una certa quantità d'istruzioni. (109)
- di saltare in un'altra zona di programma solo se si verifica la condizione per la quale deve saltare. (11)

137. LA LUNGHEZZA DEL CAMPO E E' DETERMINATA DA LE E APPENA LA PARTE DEL REGISTRO LO RELATIVA A LE DIVENTA UGUALE A 1¹ L'ISTRUZIONE TERMINA IN DIPENDENTEMENTE DALLA LUNGHEZZA DEL CAMPO A. ESISTE QUINDI RELAZIONE TRA LA FINE DELL'ISTRUZIONE E LA ?

- Si. (143)
- No. (36)

138. PER OGNI CARATTERE DI FASE ALFA QUANTI STATI SI PERCORRONO ?

- 1. (119)
- 2. (142)

139. GLI STATI DELLA FASE BETA DELLE ISTRUZIONI INTERNE SONO :

- S106 - S107. (4)
- S105 - S104. (56)

140. IN OGNI CICLATA SI INTERESSA UN SOLO CARATTERE DI MEMORIA ?

- Si. (141)
- No. (123)

141. OGNI CICLATA DI L. d.R. SI PUO' IDENTIFICARE CON UNO STATO?

- Si. (1)
- No. (123)

142. VEDASI LEZIONE N. 2.

143. VEDASI LEZIONE N. 6.

144. SE IN UNA ISTRUZIONE DI RICERCA NON SI TROVA IL CARATTERE RICERCATO E L'ELABORATORE TERMINA COMUNQUE L'ISTRUZIONE L'ORGANO CHE DA' LA FINE E' :

- LO = 1^{i}. (92)
- RA = 1^{i}. (148)

145. ESISTE LA FASE BETA DELLE ISTRUZIONI COMPOSTE DA DUE CARATTERI ?

- Si. (147)
- No. (38)

146. NON ESISTE NESSUN DISPOSITIVO AUTOMATICO CHE TENGA CONTO DEI SEGNI DEGLI OPERANDI PER CUI I DATI DEVONO ESSERE MESSI IN MEMORIA SENZA SEGNI. PRIMA DI INIZIARE UNA OPERAZIONE ARITMETICA E' INVECE NECESSARIO PREDISPORLI IN MANIERA OPPORTUNA MEDIANTE UN'ANALISI DA PROGRAMMA SE CIO' INTERESSA. TORNARE ALLA DOMANDA N. 7.

147. VEDASI VOLUME "U.C. VOL. 1°"

148. VEDASI VOLUME " U.C. VOL. 1°"

149. DAL PUNTO DI VISTA ARITMETICO, NELLA SOMMA TRA DUE NUMERI SIGNIFICATIVI E' POSSIBILE OTTENERE UN RISULTATO UGUALE A ZERO ? (SI TENGA PRESENTE CHE I DATI SI CONSIDERANO IN VALORE ASSOLUTO, CIOE' SENZA SEGNI).

- Si. (23)
- No. (10)

150. VEDASI LEZIONE N. 2.

151. LE ISTRUZIONI INTERNE HANNO TUTTE LO STESSO NUMERO DI CARATTERI ?

- Si. (9)
- No. (24)

152. VEDASI VOLUME "U.C. VOL. 1°".

153. VEDASI LEZIONE N. 16.

APPENDICE

A. CARATTERI DI FUNZIONE DELLE ISTRUZIONI INTERNE

Codice Simbolico	Codice Esadecimale		F 07	06	05	04	03	02	01	00	Annotazioni
AD	F	A	1	1	1	1	1	0	1	0	
SD	F	B	1	1	1	1	1	0	1	1	
AB	F	E	1	1	1	1	1	1	1	0	A1
SB	F	F	1	1	1	1	1	1	1	1	
MVQ	F	8	1	1	1	1	1	0	0	0	
CMQ	F	9	1	1	1	1	1	0	0	1	
EDT	D	E	1	1	0	1	1	1	1	0	
MVC	D	2	1	1	0	1	0	0	1	0	
CMC	D	5	1	1	0	1	0	1	0	1	
PK	D	A	1	1	0	1	1	0	1	0	
UPK	D	8	1	1	0	1	1	0	0	0	
OC	D	6	1	1	0	1	0	1	1	0	A2
NC	D	4	1	1	0	1	0	1	0	0	
XC	D	7	1	1	0	1	0	1	1	1	
TR	D	C	1	1	0	1	1	1	0	0	
SR	D	9	1	1	0	1	1	0	0	1	
SL	D	B	1	1	0	1	1	0	1	1	
MVI	9	2	1	0	0	1	0	0	1	0	B3
CMI	9	5	1	0	0	1	0	1	0	1	
JC	4	7	0	1	0	0	0	1	1	1	
JRT	4	5	0	1	0	0	0	1	0	1	C4
JS	5	3	0	1	0	1	0	0	1	1	
HLT	0	A	0	0	0	0	1	0	1	0	
INS-ENS	0	2	0	0	0	0	0	0	1	0	D4
LON-LOFF	0	2	0	0	0	0	0	0	1	0	
NOP2	0	7	0	0	0	0	0	1	1	1	
PER	9	E	1	0	0	1	1	1	1	0	

07 06 05 04 03 02 01 00

CORSI DI ISTRUZIONE PROGRAMMATA

INTRODUZIONE AGLI ELABORATORI ELETTRONICI

1. Transistori
2. Logica
3. Memoria a nuclei
4. Oscilloscopio

SISTEMA GE - 115

1. Introduzione
2. Unità Centrale vol. 1°
3. Memoria 16 K
4. Unità Centrale vol. 2°
5. Unità Centrale vol. 3°
6. G.U.N. 7
7. Governo MZ4 - 300

M.T.E.

1. Il calcolatore M.T.E. - 2

GENERAL ELECTRIC è marchio registrato della GENERAL ELECTRIC COMPANY U.S.A.